

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-092685
 (43)Date of publication of application : 04.04.1997

(51)Int.Cl. H01L 21/60
 H01L 23/12

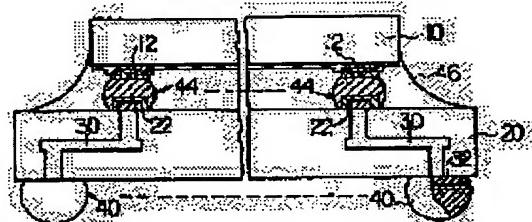
(21)Application number : 07-250928 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 28.09.1995 (72)Inventor : HIRUTA YOICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a structure containing external terminals of a ball grid array type or a similar type that enables the miniaturization of devices and the reduction of the manufacturing cost.

SOLUTION: This semiconductor device includes an integrated circuit chip 10; a chip carrier 20 having connecting terminal electrically connected with the chip 10 and bump-type external terminals 22 electrically connected with the connecting terminals; and a connecting body 44 for electrically connecting the terminals on the chip 10 and the connecting terminals on the chip carrier 20. The bump-type external terminals 22 and the connecting body 44 are made of the same bump material. Here, a resin layer 46 to tack the chip 10 to the chip carrier 20 is formed between the chip 10 and the chip carrier 20.



LEGAL STATUS

[Date of request for examination] 13.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3311215

[Date of registration] 24.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The chip carrier which has the external terminal of the bump mold electrically connected to the terminal for connection connected to a semiconductor integrated circuit chip, said chip, and an electric target, and said terminal for connection, The connection object for connecting mutually the terminal of said chip and the terminal for connection of said chip carrier electrically is provided. The semiconductor device characterized by filling up with the fixed object for said bump type of external terminal and said connection object of each other being constituted by the bump ingredient of the same kind, and fixing said chip to said chip carrier between said chips and said chip carriers.

[Claim 2] The semiconductor device according to claim 1 characterized by preparing the terminal for a test used for it when testing said chip to said chip carrier.

[Claim 3] claim 1 characterized by said chip carrier being a resin system substrate, and claim 2 — a semiconductor device given in either.

[Claim 4] For this resin, said fixed object is [the range whose coefficient of thermal expansion said bump ingredient is chosen from an ingredient with that melting point lower than the heat-resistant temperature of said resin system substrate, that glass transition temperature is lower than the melting point of said bump ingredient including resin, and is 20 ppm/degree C – 75 ppm/degree C, and Young's modulus] a semiconductor device given in claim 1 characterized by being chosen out of the thing in the range in which it is 3000Pa – 9500Pa thru/or claim 3 any 1 term.

[Claim 5] After carrying out melting of the connection object for connecting electrically the terminal prepared in the semiconductor integrated circuit chip, and said terminal for connection prepared in the chip carrier, The process which is made to solidify said connection object and connects said chip and said chip carrier electrically mutually, Melting of the fixed object for fixing said chip to said chip carrier is carried out. The process which is made to solidify said fixed object and fixes said chip to said chip carrier after making the space between said chips and said chip carriers fill up with said fixed object, The manufacture approach of the semiconductor device characterized by providing the process which forms the external terminal of the bump mold electrically connected to said terminal for connection at said chip carrier.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to an approach to assemble the semiconductor device of a ball grid array mold, and the semiconductor device of a ball grid array mold.

[0002]

[Description of the Prior Art] Drawing 35 is the sectional view of the semiconductor device of the conventional ball grid array (Ball Grid Array:BGA) mold.

[0003] As shown in drawing 35, there is a semiconductor integrated circuit chip 1 and this chip 1 is being electrically connected to the chip carrier 3 by the pewter bump 2. The pewter bump 2 electrically connected to the chip carrier 3 is electrically connected to the electrode 4 of a bump mold through wiring which is prepared in the chip carrier 3 and which is not illustrated. Thereby, a chip 1 is connected to the electrode 4 of the pewter bump mold which is functioning as an external terminal. Since the electrode 4 of a round bump mold is arranged in the shape of a matrix at the rear face of a chip carrier 3, this kind of equipment is called the ball grid array mold.

[0004] The semiconductor device of such a ball grid array mold can be said to be one of the land grid arrays (Land Grid Array:LGA). The semiconductor device of a land grid array mold is a semiconductor device which arranged the pad as an external terminal in the rear face of equipment, and was made to correspond to the demand of the formation of a many-items child instead of a lead as an external terminal.

[0005] The advantage of the semiconductor device of the ball grid array mold belonging to the semiconductor device of such a land grid array mold is that the external terminal and the mounting circuit board which is not illustrated are connectable only by melting the electrode 4 of a pewter bump mold. With this advantage, the semiconductor device of a ball grid array mold is known as equipment with easy mounting.

[0006] Now, although the semiconductor device shown in drawing 35 is one example of a ball grid array mold, the description is in making electric connection between a chip 1 and a chip carrier 3 by the pewter bump 2. Usually, a chip 1 and a chip carrier 3 are electrically connected by the bonding wire.

[0007] However, if a chip 1 and a chip carrier 3 are electrically connected by the bonding wire, magnitude of a chip carrier 3 must be made quite larger than the magnitude of a chip 1.

[0008] With the equipment which shows such a problem to drawing 35, it replaces with a wire, and by connecting a chip 1 and a chip carrier 3 by the pewter bump 2, magnitude of a chip carrier 3 is made almost equivalent to the magnitude of a chip 1, and the miniaturization of equipment is in drawing.

[0009] The equipment with which such a chip 1 and a chip carrier 3 were connected by the pewter bump, and the miniaturization of equipment was attained is indicated by Japanese Patent Application No. No. 22337 [three to] etc.

[0010] However, with this kind of equipment, the high-melting pewter ingredient needed to be used for the pewter bump 2 for connecting a chip 1 and a chip carrier 3.

[0011] Drawing 37 is a sectional view which mounts the semiconductor device 100 of the ball grid array mold shown in drawing 35 in the mounting circuit board 200 and in which showing a mounting process.

[0012] As shown in drawing 37, when equipment 100 is mounted in the mounting circuit board 200, the pewter bump type of electrode 4 is melted by giving heat. It is even expected from a chip carrier 3 that a chip 1 will secede from the melting point of the electrode 4 of a pewter bump mold in being the worst in distorting the pewter bump 2 greatly if the pewter bump's 2 melting point is not made high at this time.

[0013] In order not to generate such a problem, the pewter bump's 2 melting point is made higher than the melting point of the electrode 4 of a pewter bump mold.

[0014] Drawing 36 is the state diagram of a (Tin Sn)-lead (Pb) system alloy. The Sn-Pb system alloy is well known as an ingredient of a pewter.

[0015] In the case of [4] the equipment shown in drawing 35 (for example, the electrode of a pewter bump mold), the melting point difference has been acquired by using the pewter of Sn3wt.%/Pb97wt.% for the pewter bump 2, using the eutectic pewter of Sn63wt.%/Pb37wt.%.

[0016] As shown in the state diagram of drawing 36, the melting point of the pewter of about 183 degrees C and Sn3wt.%/Pb97wt.% of the melting point of the eutectic pewter of Sn63wt.%/Pb37wt.% is about 320 degrees C.

[0017] In addition, E points shown in drawing 36 are the eutectic points, an A point is the leaden melting point and D point is the melting point of tin. The line which connects the above-mentioned A point, E points, and D point, respectively is the liquidus line.

[0018]

[Problem(s) to be Solved by the Invention] As mentioned above, a conventional chip 1 and a conventional chip carrier 3 must be connected by the pewter bump 2, and the pewter bump's 2 melting point must be made higher than the melting point of the electrode 4 of the pewter bump mold used as an external terminal with the equipment of the ball shot array mold with which the miniaturization of equipment was attained.

[0019] For this reason, a chip carrier 3 melts the pewter bump 2, and needs to consist of ingredients which can bear a chip 1 when connecting with a chip carrier 3, for example, an elevated-temperature process 320 degrees C or more.

[0020] However, now the ingredient which can use it for a chip carrier 3, and can bear an elevated-temperature process 320 degrees C or more has only the expensive ingredient of a ceramic system, such as an alumina ceramic, and the manufacturing cost is remarkably high.

[0021] In view of the above-mentioned point, it succeeded in this invention, and that 1st object is in offering the semiconductor device which has a ball grid array mold or an external terminal according to it, and has the structure which can reduce a manufacturing cost with the miniaturization of equipment.

[0022] Moreover, the 2nd object is to offer a ball grid array mold or the semiconductor device which does not need to hurt its external terminal according to it, before mounting equipment in the mounting circuit board while attaining the 1st object.

[0023] Moreover, continuation manufacture is possible for it and the 3rd object is to offer a semiconductor device with the structure where compaction of a throughput can be aimed at while it attains the 1st object or the 2nd object.

[0024] Moreover, the 4th object is to offer the semiconductor device which can give a long life to the connection object for connecting mutually the terminal of a chip, and the terminal for connection of a chip carrier electrically while attaining the 1st object, the 2nd object, or the 3rd object.

[0025] Moreover, the 5th object is in offering the manufacture approach of a semiconductor device of having a ball grid array mold or an external terminal according to it, and having the structure which can reduce a manufacturing cost with the miniaturization of equipment.

[0026]

[Means for Solving the Problem] In order to attain the 1st object of the above, in this invention, the connection object for connecting electrically the chip carrier which has the external terminal of the bump mold electrically connected to the terminal for connection connected to a semiconductor integrated circuit chip, said chip, and an electric target and said terminal for connection, and the terminal of said chip and terminal for connection of said chip carrier of each other is provided. And while a bump ingredient of the same kind constitutes said bump type of external terminal and said connection object of each other, it is characterized by being filled up with the fixed object for fixing said chip to said chip carrier between said chips and said chip carriers.

[0027] In order to attain the 2nd object of the above, in this invention, it is characterized by preparing the terminal for a test used for it when testing said chip to said chip carrier.

[0028] In order to attain the 3rd object of the above, in this invention, it is characterized by using said chip carrier as a resin system substrate.

[0029] In order to attain the 4th object of the above, while that melting point chooses said bump ingredient from an ingredient lower than the heat-resistant temperature of said resin system substrate, by this invention, it is characterized by said fixed object choosing this resin from the thing in the range whose coefficient of thermal expansion that glass transition temperature is lower than the melting point of said bump ingredient, and is 20 ppm/degree C - 75 ppm/degree C, and the range whose Young's modulus is 3000Pa - 9500Pa including resin.

[0030] In order to attain the 5th object of the above, in this invention After carrying out melting of the connection object for connecting electrically the terminal prepared in the semiconductor integrated circuit chip, and said terminal for connection prepared in the chip carrier, Solidify said connection object and said chip and said chip carrier are connected electrically mutually. Melting of the fixed object for fixing said chip to said chip carrier is carried out. After making the space between said chips and said chip carriers fill up with said fixed object, It is characterized by forming the external terminal of the bump mold which is made to solidify said fixed object, fixes said chip to said chip carrier, and is further connected to said terminal for connection electrically at said chip carrier.

[0031]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained.

[0032] The sectional view of the semiconductor device of the ball grid array (Ball Grid Array:BGA) mold which drawing 1 requires for the gestalt of implementation of the 1st of this invention, and drawing 2 are the state diagrams of a (Tin Sn)-lead (Pb) system alloy.

[0033] Moreover, drawing 3 is drawing showing the semiconductor integrated circuit chip shown in drawing 1, and (a) drawing is a sectional view where the top view of a carrier connection side and (b) drawing meet the b-b line of (a) drawing. Drawing 4 is drawing showing the chip carrier shown in drawing 1, and (a) drawing is a sectional view where the top view of a chip connection side and (b) drawing meet the c-c line in (a) drawing and (b) drawing in the top view of a component side, and (c) drawing.

[0034] First, a semiconductor integrated circuit chip is explained.

[0035] As shown in drawing 3 (a) and (b), there is a semiconductor integrated circuit chip 10 with which a logic device with which many-items child-ization is required was accumulated, and the pad 12 is formed in the carrier

connection side of this chip 10. The carrier connection side of a chip 10 is covered with silicon oxide (SiO_2) 14, and the aperture for exposing the front face of a pad 12 is formed in this silicon oxide (SiO_2) 14. The pad 12 exposed from the aperture — on each front face, the pewter bump 18 is formed through the barrier metal layer 16 containing nickel (nickel) etc. The pewter bump 18 is stationed in the shape of a matrix in the connection side of a chip 10.

[0036] moreover, the chip carrier 20 for carrying the above-mentioned chip 10, as shown in drawing 4 (a) and (c) — it is — the chip connection side of this chip carrier 20 — the pad 12 of the above-mentioned chip 10 — it is alike, respectively and the corresponding pad 22 for chip connection is formed. the pad 22 for chip connection — on each front face, the pewter bump 28 is formed through the barrier metal layer 26 containing nickel (nickel) etc.

[0037] Moreover, as shown in drawing 4 (b) and (c), the pad 32 for mounting circuit board connection electrically connected to the above-mentioned pad 22 for chip connection through the wiring layer 30 in a carrier formed in the chip carrier 20 is formed in the component side of a chip carrier 20. The wiring layer 30 in a carrier is formed on the chip connection side of a chip carrier 20. The chip connection surface wiring layer connected to the pad 22 for chip connection (not shown). The mounting surface wiring layer which is formed on the component side of a chip carrier 20, and is connected to the pad 32 for mounting circuit board connection (not shown). The internal wiring layer formed in a chip carrier 20 and the through hole formed in the chip carrier 20 are minded. It is constituted by the perpendicular direction wiring layer which connects the above-mentioned chip connection surface wiring layer and the above-mentioned internal wiring layer of each other, the perpendicular direction wiring layer which connects the above-mentioned internal wiring layer and the above-mentioned component-side wiring layer of each other similarly through a through hole.

[0038] On the front face of the pad 32 for mounting circuit board connection, the pewter bump 38 is formed through the barrier metal layer 36 containing nickel (nickel) etc. like the above-mentioned pad 22 for chip connection. The pewter bump 38 is stationed in the shape of a matrix at the component side of a chip carrier 20, and constitutes the electrode 40 of the pewter bump mold as an external terminal. He is trying to be obtained in the semiconductor device of a ball grid array mold by this.

[0039] In addition, one example with the pewter bump's 38 desirable ingredient is the eutectic pewter of Sn63wt%/ Pb 37wt% with the lowest melting point in a Sn-Pb system alloy. This is the above-mentioned pewter bump 18, the pewter bump 28, and an ingredient of the same kind.

[0040] In addition, the two-dot chain line 42 shown in drawing 4 (a) shows the area on which the above-mentioned chip 10 is put.

[0041] In this example, as for the pewter bump 18 formed in the chip 10, and the pewter bump 28 formed in the chip carrier 20, the ingredient of each other of the same kind is chosen, and that ingredient is a (Tin Sn)-lead (Pb) system pewter. One example with the desirable presentation is an eutectic pewter of Sn63wt%/ Pb 37wt% with which the melting point becomes the lowest in a Sn-Pb system alloy. Although the ingredient of the pewter chosen is changeable with the thermal resistance of a chip carrier 20, when using a Sn-Pb system pewter, in order to stop the melting point low, as an example near the eutectic presentation, the thing of a presentation of Sn63**10wt%/ Pb 37**10wt% extent is good. If it is the Sn-Pb system pewter of this range, as shown in the state diagram of drawing 2, that melting point will be made to about 220 degrees C or less, and the thermal shock given to a chip 10 and a chip carrier 20 can be made small.

[0042] Moreover, the printed circuit board cheaper than an alumina ceramic substrate is used for the chip carrier 20 of the equipment concerning the gestalt of this 1st operation. In this invention, in order to use for connection between a chip 10 and a chip carrier 20 an eutectic pewter with the low melting point mentioned above, it is possible to use a cheap printed circuit board for a chip carrier 20. As for a printed circuit board, a conductive circuit pattern is printed on the substrate of a resin system. Although one example with the desirable resin of a printed circuit board is glass epoxy system resin, polyimide system resin, phenol system resin, BT resin, a bakelite, etc. can be used.

[0043] The pewter bump 18 and the pewter bump 28 are made for the chip carrier 20 shown in the chip 10 shown in drawing 3 and drawing 4 to agree mutually. By the pewter bump 18 and the pewter bump 28 who agreed, at about 183 degrees C or more, for example, 220 degrees C, heat is given for about 2 seconds and it melts, respectively. Then, temperature is lowered and a pewter is solidified. By solidifying a pewter, as shown in drawing 1, the conductive connection object 44 which connects mutually the pad 12 of a chip 10 and the pad 22 for chip connection of a chip carrier 20 electrically is formed. After forming the conductor 44 for connection furthermore, the resin layer 46 is formed in the space between a chip 10 and a chip carrier 20 by being filled up with resin. One example of the resin which forms the resin layer 46 is polyimide system thermosetting resin.

[0044] It has obtained because the conductor 44 for connection melts the pewter bump 18 and the pewter bump 28 first, respectively as it is the semiconductor device which has the above-mentioned configuration. For this reason, the presentation of the conductor 44 for connection is the eutectic of Sn63wt%/ Pb 37wt%.

[0045] Thus, there is no boundary of metals which are different because the conductor 44 for connection forms only with an eutectic pewter.

[0046] Moreover, all the organizations of the conductor 44 for connection turn into eutectic structure, and do not have the boundary of a different metal presentation, either.

[0047] Furthermore, the configuration becomes a spherical thing, in order to melt the pewter bump 18 and the pewter bump 28, respectively and to obtain the conductor 44 for connection.

[0048] From these matters, the conductive connection object 44 can obtain a thing very strong against stress and thermal stress especially.

[0049] This effectiveness is further explained to a detail.

[0050] Conventionally, generally the approach of connecting the pad of a chip to other conductors is well learned as flip chip mounting using the pewter bump. Especially C4 (Controlled Collapse Chip Connection) technique in which the high-melting pewter bump was attached in the pad of a chip especially is famous. About C4 technique, it is U.S. Pat. No. 4,825,284, Microelectronics Packaging Handbook and Van Nostrand Reinhold, New York, 1989, and p.368. It is indicated.

[0051] Drawing 5 is drawing for explaining the typical example of C4 technique, and (a) drawing and (b) drawing are sectional views shown in order of the connection process, respectively.

[0052] First, as shown in drawing 5 (a), the high-melting pewter bump 302 is formed in the pad 300 of a chip. A high-melting pewter is the presentation of Sn3wt% / Pb97wt%. A location is decided to come this high-melting pewter bump 302 on the pad 304 for connection of a ceramic substrate.

[0053] After deciding a location, as shown in drawing 5 (b), a reflow of the high-melting pewter bump 302 is carried out. Then, temperature is returned to ordinary temperature and the high-melting pewter bump 302 by whom a reflow was done is solidified.

[0054] A pad 300 and the pad 304 for connection of each other are connectable with the conductive connection object 306 in it being such C4 technique. This conductive connection object 306 is formed with the high-melting pewter which is Sn3wt% / Pb97wt%, and does not have the boundary of different metals.

[0055] However, since the alloy of Sn3wt% / Pb97wt% is not an eutectic, if temperature falls below in the liquidus line (below the melting point), first, with alpha phase and a Sn-Pb alloy, the crystal of Pb will deposit and the crystal with which Sn and Pb were mixed will come out with alpha+ parent phase and a Sn-Pb alloy after that (see the state diagram of the Sn-Pb alloy of drawing 2). For this reason, in that crystalline structure, the crystal with which the crystal of only pure Pb, and Sn and Pb were mixed comes to be intermingled. For this reason, the field where alloy presentations, i.e., an alloy phase, differed is distributed in a pewter bump. Thus, distribution of the field where alloy phases differed may reduce the reinforcement to thermal stress. It is surmised that the formation of a many-items child and detailed-ization progress, especially the strong lowering to thermal stress becomes remarkable when the conductive connection object 306 has been made detailed, and it brings about a faulty connection.

[0056] Moreover, with C4 typical technique, a pewter reflow in low temperature [say / temperature of 220 degrees C like the gestalt of this 1st operation] is also unrealizable.

[0057] Drawing 6 is drawing for explaining other examples of C4 technique, and (a) drawing and (b) drawing are sectional views shown in order of the connection process, respectively.

[0058] Drawing 7 is drawing for explaining the example of the example of C4 technique like drawing 6, and (a) drawing and (b) drawing are sectional views shown in order of the connection process, respectively.

[0059] First, as shown in drawing 6 (a), there is a chip with the high-melting pewter bump 302 who is completely the same as the form where it explained in drawing 5 (a). Moreover, while it replaces with a ceramic substrate and being constituted by epoxy system resin, there is a resin substrate with the pad 304 for connection. On the pad 304 for connection of this resin substrate, the eutectic pewter bump 308 of the low melting point is formed. After deciding the high-melting pewter bump's 302 location to have explained in drawing 5 (a), as shown in drawing 6 (b), a reflow of the eutectic pewter bump 308 is carried out. Then, temperature is returned to ordinary temperature and the eutectic pewter bump 308 by whom a reflow was done is solidified.

[0060] By carrying out a reflow of the eutectic pewter bump 308 to their being such other C4 techniques, since a pad 300 and the pad 304 for connection of each other are connectable, connection at low temperature can be made and the thing of a resin system can be used for the substrate for connecting a chip. In addition, such C4 technique is Proceedings of ECTC, 1993, IEEE, and p.182 to p.186. It is indicated.

[0061] However, on the conductive connection object 306 which connects a pad 300 and the pad 304 for connection of each other, the boundary 310 of the alloy of Sn3wt% / Pb97wt% and the alloy of Sn63wt% / Pb37wt% is produced.

[0062] Thus, with other C4 techniques, since the boundary 310 of metals which are different on the conductive connection object 306 which connects mutually the pad 300 and the pad 304 for connection of what can realize a pewter reflow in low temperature is produced, it will become weak at thermal stress and electric stress. Especially the boundary 310 is a part which is easy to produce fatigue breaking by thermal stress, and we are anxious about the strong lowering to thermal stress.

[0063] By the way, in the field of semiconductor device manufacture, there is a problem of fluctuation of a manufacture process. When manufacturing semiconductor fabrication machines and equipment using other C4 techniques, as shown in drawing 7 (a), although it is rare that the eutectic pewter bump 308 is formed smaller than a design value, it may happen by fluctuation of a manufacture process.

[0064] With the conductive connection object 306 acquired by the small eutectic pewter bump 308, the vena contracta as shown in the arrow head A at drawing 7 (b) occurs. It is because the amount of an eutectic pewter will decrease if the eutectic pewter bump 308 is small, and it becomes impossible to cover all the high-melting pewter bumps 302 with an eutectic pewter. It is easy to concentrate stress on the part of this vena contracta. If there is a part which stress tends to concentrate on the conductive connection object 306, it will be expected that the reinforcement of the conductive connection object 306 gets worse further.

[0065] In addition, in the accelerated test before shipment, although what produced the vena contracta on the conductive connection object 306 can be sorted out to some extent, if it seems that an accelerated test is passed and it may be shipped, it will influence the dependability of equipment.

[0066] Therefore, a conductive connection object is just going to be wanted to be the structure which the vena contracta as shown in an arrow head A at drawing 7 (b) does not produce.

[0067] Drawing 8 is drawing for explaining the electric connection with the chip of equipment and printed circuit board concerning the gestalt of implementation of the 1st of this invention, and (a) drawing and (b) drawing are sectional views shown in order of the connection process, respectively.

[0068] As shown in drawing 8 (a), there is a printed circuit board 20 with the eutectic pewter bump 28 who is completely the same as the chip 10 with the eutectic pewter bump 18 who is completely the same as the form where it explained in drawing 3 (a) and (b), and the form where it explained in drawing 4 (a) and (c). After deciding the eutectic pewter bump's 18 location, as shown in drawing 8 (b), a reflow of the eutectic pewter bumps' 18 and 28 both sides is carried out. Then, temperature is returned to ordinary temperature, the eutectic pewter bumps 18 and 28 by whom a reflow was done are solidified, and the conductive connection object 44 is acquired.

[0069] A pad 12 and the pad 22 for connection of each other are connected by carrying out a reflow of the eutectic pewter bumps 18 and 28 to it being electric connection with such a chip and a printed circuit board, respectively. Therefore, it is realizable of connection at low temperature.

[0070] Moreover, the configuration of the conductive connection object 44 becomes thermal stress with a structurally strong sphere.

[0071] Furthermore, altogether, since the conductive connection object 44 consists of only eutectic pewters of Sn63wt% / Pb37wt%, it does not have the boundary of different metals, either.

[0072] And since the alloy of Sn63wt% / Pb37wt% is an eutectic, even if temperature falls below in the liquidus line (below the melting point), alpha phase, i.e., the crystal with which the crystal of Pb did not deposit previously and alpha+ parent phase, i.e., Sn and Pb, was mixed, comes out (see the state diagram of the Sn-Pb alloy of drawing 2). Therefore, the field where alloy phases differed is not distributed.

[0073] Therefore, with the conductive connection object 44 which the equipment concerning the gestalt of implementation of the 1st of this invention has, a thing very strong against thermal stress can be obtained.

[0074] Of course, since there is no boundary of different metals, it is also the structure which the vena contracta as shown in an arrow head A at drawing 7 (b) does not produce, and the yield is also good and the dependability of equipment also becomes high.

[0075] In addition, as the pewter bump 40 who becomes an external terminal, and a pewter which constitutes the conductive connection object 44, the following things besides the Sn-Pb system eutectic pewter of the above-mentioned Sn63wt% / Pb37wt% can also be used.

[0076] duality — a system alloy — the In(indium)-Sn (tin) system eutectic pewter of In52wt% / Sn48wt% — The Bi(bismuth)-Sn (tin) system eutectic pewter of Bi58wt% / Sn42wt%, The Sn(tin)-Zn (zinc) system eutectic pewter of Sn91wt% / Zn9wt%, The Sn(tin)-Sb (antimony) system eutectic pewter of Sn(tin)-Ag (silver) system eutectic pewter [of Sn96.5wt% / Ag3.5wt%] and Sn95wt% / Sb5wt% etc. can be used.

[0077] In ternary alloy, the Sn-Ag-Sb system eutectic pewter of Sn65wt% / Ag25wt% / Sb10wt%, the Sn-Cu(copper)-Ag system eutectic pewter of Sn95.5wt% / Cu4.0wt% / Ag0.5wt%, etc. can be used.

[0078] With a system alloy, the Sn-Cu-Sb-Ag system eutectic pewter of Sn97wt% / Cu2wt% / Sb0.8wt% / Ag0.2wt% of 4 yuan etc. can be used.

[0079] In addition, also in these eutectic pewters, like a Sn-Pb system eutectic pewter, if it is about **10% of range, it is permissible.

[0080] Drawing showing the property of resin that drawing 9 was used for the resin layer 46, and drawing 10 are drawings showing the relation between temperature and distortion of a pewter bump (conductive connection object 44).

[0081] Moreover, with the equipment concerning the gestalt of this 1st operation, the resin layer 46 is provided in the space between a chip 10 and a chip carrier 20 so that the perimeter of the above-mentioned conductive connection object 44 may be enclosed. Four resin A, B, C, and D with the glass transition point Tg as shown in Young's modulus E as shown in drawing 9, a coefficient of thermal expansion alpha, and a list at drawing 10 was used for the resin which constitutes this resin layer 46.

[0082] One of the main objects which form such a resin layer 46 is easing the thermal stress committed between a chip 10 and a chip carrier 20, and preventing degradation of the conductive connection object 44 at the time of a pewter reflow when mounting to the mounting circuit board which carries out the coat of the space between a chip 10 and a chip carrier 20, fixes to a chip carrier 20 and does not illustrate a chip 10, while preventing the conductive connection object 44 being distorted.

[0083] In order to attain such an object, the resin of the resin layer 46 chose that by which 100-200 degrees C and Young's modulus E had the coefficient of thermal expansion alpha adjusted in 20 ppm/degree C - 78 ppm [degree C] /, and were adjusted to 3000MPa-9500MPa (room temperature) in the glass transition point Tg, as shown in drawing 9 and drawing 10.

[0084] In addition, at a room temperature, the resin which is a vitreous state is the thing of the temperature which begins to show rubber-like elasticity in the above-mentioned glass transition point Tg.

[0085] In detail, the resin A, B, C, and D which constituted the resin layer 46 is polyimide system thermosetting resin, respectively. Each property of resin mixes polybutadiene based on polyimide, respectively, and includes the letter quartz of crushing, and a spherical quartz as a filler further, respectively, and it was made to serve as the above-mentioned range by adjusting these amounts.

[0086] However, about the content of the above-mentioned letter quartz of crushing, and a spherical quartz, the

content of a quartz was made into 38wt(s).% extent below 40wt%. The restoration nature of resin will worsen and this will be because the void occurred to the space between a chip 10 and a chip carrier 20, especially the space of the bottom for a chip 10 center section, if the content of a quartz becomes more than 40wt(s).%

[0087] In addition, about making resin contain the letter quartz of crushing, and a spherical quartz in the range of 40wt(s).% - 75wt.% to resin as a filler, U.S. Pat. No. 4,999,699 has disclosure.

[0088] The resin A, B, C, and D whose relation between temperature and distortion of a pewter bump (conductive connection object 44) is four is shown in drawing 10, respectively.

[0089] As shown in drawing 10, with the equipment which has the resin layer 46, the distortion of a pewter bump (conductive connection object 44) accompanying lifting of temperature becomes small compared with equipment without the resin layer 46. If distortion of the conductive connection object 44 becomes small, at the time of a pewter reflow when mounting in the mounting circuit board which does not illustrate a semiconductor device, the faulty connection of a chip 10 and a chip carrier 20 can reduce possibility of generating, and can raise dependability.

[0090] In order to make smaller distortion of the conductive connection object 44 and to raise dependability more furthermore, as shown in drawing 10, it is desirable that a glass transition point Tg has resin C and D higher than the glass transition point Tg (about 150 degrees C) of a chip carrier 20 chosen. Resin D with the melting point of the conductive connection object 44 and the gestalt of this operation with a glass transition point Tg higher than the melting point of a Pb-Sn system pewter can make smaller distortion of the conductive connection object 44. In this case, even if temperature reaches the melting point of the conductive connection object 44, there is no rapid increment in distortion in the conductive connection object 44.

[0091] Drawing 11 is drawing showing the relation of the distortion and TCT cycle of a bump. In drawing 11, the experimental result of equipment without the resin layer 46 is plotted by "O" mark, and the experimental result of equipment with the resin layer 46 is plotted by "*" mark.

[0092] The result of four experiments is shown in drawing 11, respectively.

[0093] The 1st experiment is an experiment of equipment without the resin layer 46. The 2nd experiment The experiment and the 3rd experiment to which the class of resin was fixed to and a pewter bump's (conductive connection object 44) height was changed The experiment to which the pewter bump's 44 height was fixed to and the class of resin was changed, and the 4th experiment are experiments to which the ingredient of a chip carrier was changed from resin to the ceramic according to the 2nd experiment.

[0094] Although the detailed explanation about the 1st experiment is omitted, with equipment without the resin layer 46, there is an inclination for a pewter bump to distortion-come to be easy, as compared with equipment with the resin layer 46.

[0095] First, the result of the 2nd experiment is explained.

[0096] In the 2nd experiment, 3 equipment which set a pewter bump's height h to 30 micrometers, 50 micrometers, and 80 micrometers was used. With these equipments, the above-mentioned resin A (E=3479MPa and alpha= 74 ppm/(degree C)) was used for the resin of the resin layer 46, and what is called FR-4 whose base material resin is an epoxy system was used for the chip carrier 20, respectively.

[0097] As shown in drawing 11, in this experiment, the inclination for the pewter bump 44 to distortion-come to be hard was accepted as the pewter bump's 44 height h increased with 30 micrometers, 50 micrometers, and 80 micrometers. In order are [the pewter bump 44] distortion-hard and to act as her, this inclination shows that it is good, when the pewter bump's 44 height h is made to some extent high. This is making the pewter bump's 44 height h to some extent high, and there are few strains of the pewter bump for absorbing the differential thermal expansion of a chip 10 and a chip carrier 20, and they end. The volume of the space between a chip 10 and a chip carrier 20 becomes to some extent large, and the mechanical reinforcement of the resin layer 46 increases, or the pewter bump's 44 volume by or the thing become to some extent large It is surmised according to these factors with the mechanical increasing reinforcement of pewter bump 44 the very thing that the pewter bump 44 distortion-comes to be hard. In this experiment, the result [h / of a pewter bump / height] that it is desirable about 80 micrometers as one example is obtained.

[0098] Next, the result of the 3rd experiment is explained.

[0099] The value by which the equipment used for the 3rd experiment was made desirable in a pewter bump's height h, That is, it fixed by 80 micrometers and three equipments which used the resin of the resin layer 46 as the above-mentioned resin B (E=5867MPa and alpha= 41 ppm/(degree C)), the above-mentioned resin C (E=6050MPa and alpha= 36 ppm/(degree C)), and the above-mentioned resin D (E=9408MPa and alpha= 23 ppm/(degree C)) were used. FR-4 were used for the chip carrier 20 of these three equipments.

[0100] As shown in drawing 11, in order of Resin A, Resin B, Resin C, and Resin D, the pewter bump 44 was distortion-hard, and became, and the relation shown in drawing 10 was checked on equipment level.

[0101] Next, the result of the 4th experiment is explained.

[0102] In the 4th experiment, two equipments which set a pewter bump's height h to 20 micrometers and 40 micrometers were used. Resin A was used for the resin of the resin layer 46 of these two equipments, and the alumina ceramic was used for the chip carrier 20.

[0103] As shown in drawing 11, even if it replaced the chip carrier 20 with the thing of a ceramic system from the thing of a resin system, the same result as the 2nd experiment was able to be obtained.

[0104] Thus, this invention can also use the thing of a ceramic system for a chip carrier 20. For example, they are an alumina ceramic, aluminium nitride (AIN), etc. If the thing of a ceramic system is used for a chip carrier 20, as for

a manufacturing cost, a chip carrier 20 will increase rather than the thing of a resin system.

[0105] However, by using the pewter bump 44 as an eutectic pewter, and forming the resin layer 46, the effectiveness that equipment strong against thermal stress and electric stress is obtained is maintainable as shown also in drawing 11.

[0106] In addition, not only a quartz but other ingredients can also be used for the filler which the resin layer 46 is made to contain. For example, it is aluminium nitride (AlN, coefficient of thermal expansion of alpha= 2.9 ppm/degree C). When aluminium nitride is used for a filler and the content is carried out more than 75wt(s)%, the coefficient of thermal expansion alpha of resin can carry out [degree C] in 40 ppm /or less.

[0107] However, aggravation of the restoration nature of resin was accepted like the time of being a quartz as the content of aluminium nitride is more than 75wt(s)%. In order to cancel aggravation of this restoration nature, the particle size of aluminium nitride was arranged with 0.5 micrometers or less. Thereby, restoration nature is improvable.

[0108] In addition, it is possible to use an epoxy resin besides polyimide, BUDAJIEN resin, biphenyl system resin, etc. for the base agent of the resin layer 46.

[0109] Especially biphenyl system resin has little moisture absorption of moisture, and adhesion of a chip 10 and the resist (not shown) as a solder mask currently formed on the chip connection side of a chip carrier 20 can be improved.

[0110] While a chip 10 and a chip carrier 20 are connectable at low temperature by constituting the conductive connection object 44 from an eutectic pewter as it is the semiconductor device of such a ball grid array mold concerning the gestalt of the 1st operation, equipment strong against the both sides of thermal stress and electric stress can be obtained.

[0111] moreover, the thing for which the resin layer 46 is formed in the space between a chip 10 and a chip carrier 20 — the conductive connection object 44 — a strain — being hard — the above — the reinforcement to thermal stress and electric stress can be raised further.

[0112] Drawing 12 is the sectional view having shown the condition of mounting the semiconductor device of the ball grid array mold concerning the gestalt of the 1st operation in a mounting substrate.

[0113] As shown in drawing 12 , in the semiconductor device 150 of the ball grid array mold concerning the gestalt of the 1st operation By forming the resin layer 46 in the space between a chip 10 and a chip carrier 20 When using the pewter reflow method for the terminal 202 for connection of the mounting substrate 200 and connecting the electrode 40 of a pewter bump mold to it, That the conductive connection object 44 which becomes with the same eutectic pewter as these electrodes 40 is distorted greatly *****, or a chip 10 can solve the problem which secedes from a chip carrier 20.

[0114] Next, the more concrete manufacture approach of the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 1st of this invention is explained.

[0115] Drawing 13 – drawing 18 are the sectional views having shown the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 1st of this invention in order of the production process, respectively.

[0116] As shown in drawing 13 , on the barrier metal layer 16 currently formed in the carrier connection side side of a chip 10, electrolysis plating is used and the eutectic pewter bump 18 is formed. Next, flux is applied to the eutectic pewter bump's 18 front face. R5002 of Japanese alpha metals, 7200A of the Senju metal industry, RAPIKKUSUR of a Japanese pewter, etc. can be used for this flux. It is desirable that the flux of the non-halogen system which uses rosin as a principal component is used fundamentally.

[0117] In addition, a spreading process can also omit this flux, when the flux with high activity which is water solubility is used for the flux used at the time of the bump connection made behind. Next, at the temperature of 200 degrees C or more, a reflow of the eutectic pewter is carried out and the eutectic pewter bump 18 is made spherical. The eutectic pewter bump 18 is made spherical for raising the wettability of the pewter at the time of connection.

[0118] Next, flux is applied to the eutectic pewter bump's 18 front face made spherical as shown in drawing 14 . The part shown by the reference mark 50 is the layer of flux. Using solvents, such as a cyclic amide solvent, and an isopropyl alcohol solvent, the ethylene glycol mono-FENIRU ether, R5003 of above-mentioned R5002, 7200A, RAPIKKUSUR, or Japanese alpha metals is used for this flux, thinning so that solid content may become 6% – 50%.

[0119] Next, as shown in drawing 15 , on the barrier metal layer 26 currently formed in the chip connection side side of a chip carrier 20, an electroless deposition method is used and the eutectic pewter bump 28 is formed. Next, flux is applied to the eutectic pewter bump's 28 front face. R5002, 7200A, RAPIKKUSUR, etc. are used like the eutectic pewter bump 18 by this flux, and it is desirable to it that the flux of the non-halogen system which uses rosin as a principal component fundamentally is used.

[0120] In addition, a spreading process can also omit this flux, when the flux with high activity which is water solubility is used for the flux used at the time of the bump connection made behind. Next, at the temperature of 200 degrees C or more, a reflow of the eutectic pewter is carried out and the eutectic pewter bump 28 is made spherical. The eutectic pewter bump 28 is made spherical for raising the wettability of the pewter at the time of connection like the eutectic pewter bump 18.

[0121] Furthermore, as shown in drawing 15 , a location is decided that the carrier connection side of a chip 10 and the chip connection side of a chip carrier 20 are made to counter, and the eutectic pewter bump 18 and the eutectic pewter bump 28 counter mutually.

[0122] Next, as shown in drawing 16, the eutectic pewter bump 18 and the eutectic pewter bump 28 are contacted mutually. In this condition, although a graphic display is not carried out, it will be in the condition of having been tacking carried out of the chip 10 to the chip carrier 20, by the layer 50 of flux. With the condition of having been tacking carried out, a chip 10 and a chip carrier 20 are conveyed and it supplies in the furnace for reflow. Next, the eutectic pewter bump 18 and the eutectic pewter bump 28 are melted, respectively, using reflow time amount as about 2 seconds using temperature of a furnace as 220 degrees C, and the conductive connection object 44 is formed. The temperature of the furnace at this time is good to be set as the range from 183 degrees C which is the melting point of an eutectic pewter to 255 degrees C in consideration of the heat capacity of a member, and thermal resistance. Moreover, as temperature exceeding the melting point of a pewter, if reflow time amount is set up 1 second or more, it can melt a pewter and can form the conductive connection object 44. Although reflow time amount is based also on the thermal resistance of a substrate, it can be set up about a maximum of 20 seconds. Next, the flux which constituted the layer 50 is removed using a cleaning agent, for example, isopropyl alcohol, EC-7, or a techno care.

[0123] Next, as shown in drawing 17, the space between a chip 10 and a chip carrier 20 is filled up with the polyimide system thermosetting resin mentioned above, for example. Next, in order to solidify the resin with which it is filled up, temperature carries out a cure in the oven set as 100 degrees C for 1 to 4 hours. The resin layer 46 is formed of this.

[0124] Next, as shown in drawing 18, on the barrier metal layer 36 currently formed in the component-side side of a chip carrier 20, the pewter ball of an eutectic is fused, it fixes and the spherical eutectic pewter bump 40 is formed. After the eutectic pewter bump 40 prints a cream pewter on the barrier metal layer 36, carrying out a reflow of the printed cream pewter, and making it spherical can also form her.

[0125] After acquiring the conductive connection object 44 as it is such a manufacture approach, and forming the resin layer 46 further, the eutectic pewter bump 40 who becomes an external terminal is formed. For this reason, the eutectic pewter bump 40 is not received for the heat when forming the conductive connection object 44. For this reason, the eutectic pewter bump 40 melts, that form does not collapse or eutectic pewter bump 40 do not connect too hastily.

[0126] Next, other manufacture approaches are explained.

[0127] Drawing 19 – drawing 23 are the sectional views having shown the semiconductor device of the ball grid array mold concerning the gestalt of the 1st operation in order of the process according to other manufacture approaches, respectively.

[0128] First, as shown in drawing 19 and drawing 20, the approach explained with reference to drawing 13 and drawing 14 is followed. Form the spherical eutectic pewter bump 18 and on the front face of the eutectic pewter bump 18 who spheroidized The layer 50 of the flux which consists of above-mentioned R5002 and R5003, 7200A, and RAPIKKUSU R thinned so that solid content might become 6% – 50% using solvents, such as a cyclic amide solvent, and an isopropyl alcohol solvent, the ethylene glycol mono-FENIRU ether, is formed.

[0129] Next, as shown in drawing 21, according to the approach explained with reference to drawing 15, the spherical eutectic pewter bump 28 is formed on the barrier metal layer 26 currently formed in the chip connection side side of a chip carrier 20. Furthermore, according to the approach explained with reference to drawing 17, the spherical eutectic pewter bump 40 is formed on the barrier metal layer 36 currently formed in the component-side side of a chip carrier 20.

[0130] Furthermore, as shown in drawing 21, a location is decided that the carrier connection side of a chip 10 and the chip connection side of a chip carrier 20 are made to counter, and the eutectic pewter bump 18 and the eutectic pewter bump 28 counter mutually.

[0131] Next, as shown in drawing 22, the eutectic pewter bump 18 and the eutectic pewter bump 28 are melted, respectively, using [contact mutually the eutectic pewter bump 18 and the eutectic pewter bump 28, and] reflow time amount as about 2 seconds according to the approach explained with reference to drawing 16, using temperature of a furnace as 220 degrees C, and the conductive connection object 44 is formed. Then, the flux which constituted the layer 50 is removed using a cleaning agent, for example, isopropyl alcohol, EC-7, or a techno care.

[0132] Next, as shown in drawing 23, according to the approach explained with reference to drawing 17, the space between a chip 10 and a chip carrier 20 is filled up with the polyimide system thermosetting resin mentioned above, for example, and the cure of the resin with which it filled up is carried out to it, it is solidified, and the resin layer 46 is formed in it.

[0133] Without using that wettability is different and breaking down the eutectic pewter bump 40 by the eutectic pewter bumps 18 and 28 who touch flux, and the eutectic (not applied) pewter bump 40 who does not touch flux, if the description of this manufacture approach is summarized, only the eutectic pewter bumps 18 and 28 are melted and a chip 10 is connected to a chip carrier 20.

[0134] Wettability becomes good because flux touches, and the fluidity of an eutectic pewter increases. Therefore, if the same heat as the eutectic pewter bumps 18 and 28 who are in contact with flux, and the eutectic pewter bump 40 to whom flux is not applied is given, while the eutectic pewter bump 40 will continue maintaining a spherical form, only the eutectic pewter bumps 18 and 28 can enlarge the fluidity of an eutectic pewter. Therefore, the conductive connection object 44 can be formed, without breaking down the eutectic pewter bump's 40 form.

[0135] The advantage of such a manufacture approach is not being incorporated like a heat process, in case the eutectic pewter bump's 40 is formed in a chip 10, and being able to mitigate the heat history of a chip 10.

[0136] If the heat history of a chip 10 is mitigable, possibility that the profile of the diffusion layer formed in the

interior of the semi-conductor substrate of a chip 10 will be confused can be made small, and a detailed component can be accumulated on a chip 10.

[0137] Therefore, the manufacture approach explained with reference to drawing 19 – drawing 23 is the suitable manufacture approach to build a large-scale integrated circuit into the chip of the semiconductor device of the ball grid array mold concerning this invention.

[0138] Next, the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 2nd of this invention is explained.

[0139] The main objects of the semiconductor device of the ball grid array mold concerning the gestalt of this 2nd operation can perform the assembly of equipment more easily, and tend to raise the throughput of an assembly. Moreover, other objects are that the solder bump 40 who becomes an external terminal takes care not to hurt.

[0140] With the gestalt of this 2nd operation, as one resin plate is prepared, the multi-statement of the part which serves as a chip carrier 20 behind is carried out to this one resin plate, and the pewter bumps' 28 and 40 formation process and the connection process of a chip 10 are put in block with two or more equipments and can be performed, an assembly is simplified, and the throughput of an assembly is raised.

[0141] Drawing 24 is drawing showing the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 2nd of this invention, and the top view which looked at (a) drawing from the component side, and (b) drawing are sectional views which meet the b-b line in (a) drawing.

[0142] drawing 24 — being shown — as — one — a sheet — a strip of paper — ** — resin — a plate — 60 — it is — this — resin — a plate — 60 — a chip carrier — 20 — becoming — a carrier — a schedule — the section — 20 — ' — plurality — a strip of paper — ** — resin — a plate — a major axis — a direction — meeting — a single tier — standing in a line — setting up — having — **** . The slot 62 for cutting for making separation of a chip carrier easy at the resin plate 60 is established in the place which removed four angles of carrier schedule section 20'. cutting whose four angles do not illustrate carrier schedule section 20', respectively — public funds — it is separated into each chip carrier 20 by the mold by being cut off.

[0143] Moreover, in order to make the handling at the time of an assembly easy to perform, the tooling hole 64 on which the pawl of the conveyance tool which is not illustrated is hung is formed in the resin plate 60 along the long side of the resin plate 60. This tooling hole 64 is not only used for conveyance, but it can use it for the alignment of for example, the metal mold for cutting, the alignment of the jig for a test, etc.

[0144] Moreover, it has not a flexible tape but a certain amount of thickness used for a TAB method, and it shall be hard to twist to the resin plate 60, and shall be hard to be bent from a flexible tape to it by the equipment concerning the gestalt of this 2nd operation. He uses the property which cannot transform such a resin plate 60 easily, and is trying to form the terminal 70 for a test on the chip connection side (chip loading side) of the resin plate 60 with the gestalt of this 2nd operation. If the resin plate 60 is compared with a flexible tape, there is little deformation, and it is because making the terminal 70 for a test contact with a sufficient precision made possible the socket electrode of a circuit tester, or the probe.

[0145] In addition, the equipment with the electrode for a test is indicated by JP,6-103704,B etc. on the flexible substrate.

[0146] the terminal 70 for a test — carrier schedule section 20' — before being arranged inside and cutting off carrier schedule section 20', either after cutting off is enabled to test the integrated circuit currently formed in the chip 10. Also after being formed so that it may not be covered with the resin layer 46, and forming the resin layer 46, it enables it to test the terminal 70 for a test furthermore.

[0147] Drawing 25 is drawing showing the condition of having separated the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 2nd of this invention from the resin plate 60, and the top view and (b) drawing which looked at (a) drawing from the chip loading side are a top view when removing a chip from (a) drawing.

[0148] As shown in drawing 25 (a) and (b), after carrier schedule section 20' is separated from the resin plate 60, the terminal 70 for a test is exposed without remaining on the chip carrier 20 and being covered with the resin layer 46.

[0149] Moreover, the part shown in drawing 25 (a) and (b) by the reference mark 66 is an index which shows the sense of equipment. The forms of an index 66 may be the form clipped in the shape of [as shown in drawing 26 (a) besides a square as shown in drawing 25 (a) and (b)] radii, and a hole as shown in drawing 26 (b).

[0150] It can become possible to put two or more equipments in block as it is such a semiconductor device concerning the gestalt of the 2nd operation, and to assemble, and a throughput can be raised. Furthermore, independently, the pewter bump 40 who becomes an external terminal does not need to contact the test signal supply terminal for supplying a test signal to the pewter bump 40 for the terminal 70 for a test at the time of a test, or a probe, if the terminal 70 for a test is formed. For this reason, the delicate pewter bump 40 does not get damaged.

[0151] Moreover, the terminals 70 for a test do not need to be formed one by one every conductive connection object 44. When the integrated circuit of a logic system is accumulated on a chip 10, the number of pads of the electrode pulled out from a chip 10 becomes about 200. A chip 10 has many such pads far compared with the time of accumulating the integrated circuit of a memory system.

[0152] So, when the integrated circuit of a logic system is accumulated on a chip 10, it is desirable to use JTAG (Joint Test Action Group) known as the test technique of a chip, and to reduce the number of the terminals 70 for a test. If it does in this way, even when there are many pads of the electrode pulled out from a chip 10, the terminal

70 for a test can be arranged on the periphery of a chip 10 at a single tier, and the increment in the size of a chip carrier 20 can be controlled.

[0153] In addition, it is desirable that the thing of the resin system which cost can cut easily with the metal mold for cutting low to a chip carrier 20 is used for the semiconductor device concerning the gestalt of this 2nd operation. When the thing of a ceramic system is used for a chip carrier 20, cost is high to it and it becomes for example, less easy [cost / cutting] for it, although the thing of a ceramic system may be used for a chip carrier 20.

[0154] furthermore, the resin plate 60 — cutting — public funds — since a mold can cut easily, it is easy to form the index 66 which shows the sense of a semiconductor device, and the index 66 — cutting — public funds — by forming the mold according to the hole shown in a mold at the square shown in drawing 25 (a) and (b), the radii shown in drawing 26 (a), or drawing 26 (b), while piercing carrier schedule section 20' from the resin plate 60, it can obtain. The index of various forms can be made besides the form shown in drawing 25 — drawing 26, of course.

[0155] In addition, separation of carrier schedule section 20' from the resin plate 60 can be performed on the both sides by the side of a manufacturer and a user. It can opt for selection of the stage to separate according to the demand by the side of a user.

[0156] the advantage when separating by the manufacturer side — a user side — cutting — public funds — it is not preparing a mold and being able to mitigate the cost-burden by the side of a user.

[0157] Moreover, since two or more equipments are connected and stopped to one resin plate 60, the advantage when separating by the user side is becoming easy to perform mass transportation.

[0158] Furthermore, the advantage that molding is possible is also in a favorite form by the user side about the form of an index 66. In this case, it is possible the sense of equipment is not only to show, but to prepare an index 66 in the hole of the sake for positioning with a mounting substrate or a form by the user side.

[0159] Next, a suitable circuit tester to test the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 2nd of this invention is explained.

[0160] Drawing 27 is the sectional view having shown the 1st circuit tester roughly.

[0161] As shown in drawing 27, there is a test jig 72 and the insertion hole 74 with which the semiconductor device 160 concerning the gestalt of the 2nd operation is inserted in this test jig 72 is formed. The socket electrode 76 is being fixed to the pars basilaris ossis occipitalis of the insertion hole 74.

[0162] A semiconductor device 160 is inserted in the insertion hole 74 from the loading side of a chip 10 in which the terminal 70 for a test is formed. The terminal 70 for a test is contacted by the socket electrode 76 by this. Then, a test signal is supplied to a chip 10 through the socket electrode 76, and the electric test of a chip 10 is performed according to a well-known method. If a test is completed, a semiconductor device 160 will be picked out from the test jig 72.

[0163] The socket electrode 76 prepared in the terminal 70 for a test and the pars basilaris ossis occipitalis of the insertion hole 74 by dropping is contacted by the insertion hole 74 in the condition of having turned the loading side of the chip 10 of a semiconductor device 160 for the semiconductor device 160 down it being such a circuit tester. For this reason, possibility that not only the socket electrode 76 but the test jig 72 will not contact the pewter bump 40 who becomes an external terminal, and the pewter bump 40 will get damaged is small.

[0164] Drawing 28 is the sectional view having shown the 2nd circuit tester roughly.

[0165] As shown in drawing 28, there is test jig 72' and the installation hole 75 with which the semiconductor device 160 concerning the gestalt of the 2nd operation is laid is formed in this test jig 72'. The installation hole 75 consists of shallow hole 75a which supports only the part of the edge of a semiconductor device 160, and deep hole 75b for the pewter bump 40 of a semiconductor device 160 to take care not to contact test jig 72'.

[0166] It is formed so that migration in the vertical direction may be possible, and after a semiconductor device 160 is laid into shallow hole 75a, socket electrode 76' moves to the terminal 70 for a test in the vertical direction, and is contacted. Then, a test signal is supplied to a chip 10 through the socket electrode 76, and the electric test of a chip 10 is performed according to a well-known method. If a test is completed, socket electrode 76' will be moved in the vertical direction, and a semiconductor device 160 will be taken out from test jig 72'.

[0167] the circuit tester which also showed such a circuit tester to drawing 27 by having deep hole 75b for the pewter bump 40 taking care not to contact test jig 72' — the same — socket electrode 76' and test jig 72' — contacting the pewter bump 40 is lost, respectively. Therefore, it can be made hard to get the pewter bump 40 damaged.

[0168] Drawing 29 is the sectional view having shown the 3rd circuit tester roughly.

[0169] As shown in drawing 29, there is a probe 77 connected to the test jig which is not illustrated. This probe 77 supports a semiconductor device 160 while supplying a test signal to the semiconductor device 160 concerning the gestalt of the 2nd operation. In order that a probe 77 may support a semiconductor device 160, it is made thick toward the part of a bottom from a part for the point which is contacted by the terminal 70 for a test and supports a semiconductor device 160, and the rigidity is raised. The rigidity is set as extent which torsion and a deflection can mitigate to the range which is substantially satisfactory, respectively, when a semiconductor device 160 is supported.

[0170] At such a circuit tester, in the condition of having turned the loading side of the chip 10 of a semiconductor device 160 for the semiconductor device 160 down, a semiconductor device 160 is supported at the same time it contacts the terminal 70 for a test to a probe 77. For this reason, possibility that the pewter bump 40 who becomes an external terminal will contact neither a probe 77 nor the test jig which is not illustrated, and the pewter bump 40 will get damaged like the 1st and 2nd circuit tester can be made small.

[0171] Next, the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 3rd of this invention is explained.

[0172] The semiconductor device of the ball grid array mold concerning the gestalt of this 3rd operation is made into configuration where the terminal for a test is another, according to the gestalt of the 2nd operation.

[0173] Drawing 30 is drawing showing the condition of having separated the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 3rd of this invention from the resin plate 60, and the top view and (b) drawing which looked at (a) drawing from the chip loading side are a top view when removing a chip from (a) drawing.

[0174] As shown in drawing 30 (a) and (b), the terminal for a test For example, there is not necessarily no need of being made the shape of a square with an area larger than wiring as shown in drawing 25 (a) and (b). Wiring in a carrier which connects the conductive connection object 44 and the pewter bump 40 of each other is selectively exposed from the resin layer 46, and it may be made to make the part of exposed wiring in this carrier into test terminal 70'.

[0175] Next, the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 4th of this invention is explained.

[0176] Drawing 31 is the sectional view of the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 4th of this invention.

[0177] As shown in drawing 31 , the terminal 70 for a test may not be formed in the outside of the resin layer 46, or may be made to be covered with the inside of the resin layer 46, or the resin layer 46. In this case, since the terminal 70 for a test will be hidden by the resin layer 46, the test of a chip 10 is performed before forming the resin layer 46. And a test is good to be carried out before carrier schedule section 20' is separated from the resin plate 60. When it does in this way, the resin layer 46 can be collectively formed after a test with two or more equipments connected and stopped to the resin plate 60, and it is efficient.

[0178] Next, the suitable resin plate for the semiconductor device of the ball grid array mold concerning this invention is explained.

[0179] It was what is explained by the gestalt of the 2nd operation, is thick compared with the flexible tape used for a TAB method etc. with the resin plate 60 used for the gestalt of the 2nd – the 4th operation, and cannot deform easily. And as thickness of the resin plate 60 is thickened, it can be made hard to transform and the terminal 70 for a test, the socket electrode of a circuit tester, or contact precision with a probe becomes better.

[0180] However, if thickness of the resin plate 60 is thickened in order to make the resin plate 60 hard to transform, cutting for separating carrier schedule section 20' from the resin plate 60 shortly will become difficult.

[0181] they make easy cutting for separate carrier schedule section 20 ' from the resin plate 60 , and be to provide the semiconductor device of the ball grid array mold concerning the gestalt of the 2nd – the 4th operation of this invention with an especially suitable resin plate , the main objects of the resin plate explain from now on cancel the above-mentioned point , and make good the terminal 70 for a test , the socket electrode of a circuit tester , or contact precision with a probe .

[0182] Drawing 32 is the perspective view showing the 1st resin plate.

[0183] As shown in drawing 32 , in order to make cutting easy, there is resin plate 60a by which thickness was set as 0.6mm – about 0.9mm. Although the thickness of resin plate 60a to which cutting becomes easy changes variously according to the class of resin, by the resin of an epoxy system, its thickness is [0.6mm – about 0.9mm] desirable. In this example, resin plate 60a considered as the epoxy system, and that thickness was set as 0.6mm.

The broken line shown by the reference mark 68 shows the cutting part among drawing.

[0184] In such resin plate 60a, it can twist at the time of handling and problems, such as a deflection and camber, become easy to arise. Then, along the edge of resin plate 60a, reinforcing materials 80-1 were formed in the chip connection side, reinforcing materials 80-2 were formed in the component side, and resin plate 60a is reinforced. In this example, thickness formed reinforcing materials 80-1 and 80-2 by the resin of an epoxy system by 1.2mm, respectively.

[0185] The terminal 70 for a test is pulled out on reinforcing materials 80-1, and the terminal 70 for a test was formed in the field which cannot deform most easily in the resin object 60.

[0186] By forming reinforcing materials 80-1 and 80-2 along the edge of resin plate 60a, respectively as it is such resin plate 60a, resin plate 60a can be made hard to transform, and the terminal 70 for a test, the socket electrode of a circuit tester, or contact precision with a probe can be made good.

[0187] And cutting for separating carrier schedule section 20' from resin plate 60a can carry out easy [of the thickness of resin object 60a] by being thin to about 0.6mm. the time of especially cutting — cutting — public funds — the load applied to a mold can be made small. Therefore, suitable resin plate 60a can be especially obtained to the semiconductor device of the ball grid array mold concerning the gestalt of the 2nd – the 4th operation of this invention.

[0188] Drawing 33 is the perspective view showing the 2nd resin plate.

[0189] In 1st resin plate 60a, the terminal 70 for a test makes it correspond to two of the four sides which a chip 10 has, and is formed. In this 2nd resin plate 60b, it is made to correspond to all the four sides that a chip 10 has, and is formed.

[0190] As shown in drawing 33 , by the thickness of 0.6mm, the perimeter of the cutting part 68 of resin plate 60b of an epoxy system was surrounded, reinforcing materials 82-1 were formed in the chip connection side, reinforcing materials 82-2 were formed in the component side, respectively, and the resin plate 60 is reinforced with this 2nd

resin plate. In this example, thickness formed reinforcing materials 80-1 and 80-2 by the resin of an epoxy system by 1.2mm, respectively.

[0191] Like the gestalt of the 1st operation, the terminal 70 for a test is pulled out on reinforcing materials 80-1, and was formed in the field which cannot deform the terminal 70 for a test most easily in resin object 60b.

[0192] Even if it is such resin plate 60b, it can be made hard to transform, and while the terminal 70 for a test, the socket electrode of a circuit tester, or contact precision with a probe can be made good, it can carry out easy [of the cutting for separating carrier schedule section 20' from the resin plate 60].

[0193] Drawing 34 is the perspective view showing the 3rd resin plate.

[0194] In 1st resin plate 60a, reinforcing materials 80-1 and 80-2 are formed in resin plate 60a and one, respectively, and reinforcing materials 82-1 and 82-2 are similarly formed in resin plate 60b and one by 2nd resin plate 60b, respectively.

[0195] Thus, even if reinforcing materials are formed in a resin plate and one, they may be used as a respectively different member. In this 3rd resin plate 60c, reinforcing materials 84-1 and 84-2 are formed in resin plate 60c free [attachment and detachment]. Thickness formed reinforcing materials 84-1 and 84-2 by the resin of an epoxy system by 1.2mm like the time of the 1st and 2nd resin plate, respectively.

[0196] As shown in drawing 34, reinforcing materials 84-1 and 84-2 use stops 86-1 like a screw, a washer or a bolt, and a nut, and 86-2, and are stopped by resin plate 60c. Stops 86-1 and 86-2 put resin plate 60c by reinforcing materials 84-1 and 84-2 through the tooling hole 64 of resin plate 60c.

[0197] Moreover, since reinforcing materials 84-1 are put on resin plate 60c, the terminal 70 for a test currently formed on the chip connection side of resin plate 60c will be hidden by reinforcing materials 84-1. For this reason, the aperture 88 for exposing the terminal 70 for a test from reinforcing materials 84-1 is formed in the part corresponding to reinforcing materials's 84-1 terminal 70 for a test so that the terminal 70 for a test can be contacted in the socket electrode of a circuit tester, or a probe.

[0198] While such resin plate 60c can also make good the terminal 70 for a test, the socket electrode of a circuit tester, or contact precision with a probe, it can carry out easy [of the cutting for separating carrier schedule section 20' from the resin plate 60].

[0199]

[Effect of the Invention] As mentioned above, the semiconductor device which according to this invention has a ball grid array mold or an external terminal according to it, and has the structure which can reduce a manufacturing cost with the miniaturization of equipment as explained. The semiconductor device which does not need to hurt a ball grid array mold or its external terminal according to it before mounting equipment in the circuit board. A semiconductor device with the structure where continuation manufacture is possible and compaction of a throughput can be aimed at. The semiconductor device which can give a long life to the connection object for connecting mutually the terminal of a chip, and the terminal for connection of a chip carrier electrically. The manufacture approach of a semiconductor device of having a ball grid array mold or an external terminal according to it, and having the structure which can reduce a manufacturing cost with the miniaturization of equipment can be offered.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the sectional view of the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 1st of this invention.

[Drawing 2] Drawing 2 is the state diagram of a Sn-Pb system alloy.

[Drawing 3] The top view of a carrier connection side and (b) drawing are a sectional view where drawing 3 is drawing showing the semiconductor integrated circuit chip shown in drawing 1, and (a) drawing meets the b-b line of (a) drawing.

[Drawing 4] For the top view of a component side, and (c) drawing, the top view of a chip connection side and (b) drawing are a sectional view where drawing 4 is drawing showing the chip carrier shown in drawing 1, and (a) drawing meets the c-c line in (a) drawing and (b) drawing.

[Drawing 5] It is the sectional view in which drawing 5's being drawing for explaining the typical example of C4 technique, and having shown (a) drawing and (b) drawing in order of the connection process, respectively.

[Drawing 6] It is the sectional view in which drawing 6's being drawing for explaining other examples of C4 technique, and having shown (a) drawing and (b) drawing in order of the connection process, respectively.

[Drawing 7] It is the sectional view in which drawing 7's being drawing for explaining the example of the example of C4 technique, and having shown (a) drawing and (b) drawing in order of the connection process, respectively.

[Drawing 8] It is the sectional view in which drawing 8's being drawing for explaining the electric connection with the chip of equipment and printed circuit board concerning the gestalt of implementation of the 1st of this invention, and having shown (a) drawing and (b) drawing in order of the connection process, respectively.

[Drawing 9] Drawing 9 is drawing showing the property of the resin used for the resin layer.

[Drawing 10] Drawing 10 is drawing showing the relation between temperature and distortion of a bump.

[Drawing 11] Drawing 11 is drawing showing the relation of the distortion and TCT cycle of a bump.

[Drawing 12] Drawing 12 is the sectional view having shown the condition of mounting the equipment concerning the gestalt of implementation of the 1st of this invention in a mounting substrate.

[Drawing 13] Drawing 13 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 14] Drawing 14 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 15] Drawing 15 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 16] Drawing 16 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 17] Drawing 17 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 18] Drawing 18 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 19] Drawing 19 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 20] Drawing 20 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 21] Drawing 21 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 22] Drawing 22 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 23] Drawing 23 is a sectional view in one production process of the equipment concerning the gestalt of implementation of the 1st of this invention.

[Drawing 24] (b) drawing is the top view which drawing 24 is drawing showing the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 2nd of this invention, and looked at (a) drawing from the component side, and a sectional view which meets the b-b line in (a) drawing.

[Drawing 25] The top view and (b) drawing which drawing 25 is drawing showing the condition of having separated the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 2nd of this invention from the resin plate, and looked at (a) drawing from the chip loading side are a top view when removing a

chip from (a) drawing.

[Drawing 26] (b) drawing is drawing in which drawing 26's being drawing showing the form of an index, and (a) showing a radii-like index, and drawing showing a hole-like index.

[Drawing 27] Drawing 27 is the sectional view having shown the 1st circuit tester roughly.

[Drawing 28] Drawing 28 is the sectional view having shown the 2nd circuit tester roughly.

[Drawing 29] Drawing 29 is the sectional view having shown the 3rd circuit tester roughly.

[Drawing 30] The top view and (b) drawing which drawing 30 is drawing showing the condition of having separated the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 3rd of this invention from the resin plate, and looked at (a) drawing from the chip loading side are a top view when removing a chip from (a) drawing.

[Drawing 31] Drawing 31 is the sectional view of the semiconductor device of the ball grid array mold concerning the gestalt of implementation of the 4th of this invention.

[Drawing 32] Drawing 32 is the perspective view showing the 1st resin plate.

[Drawing 33] Drawing 33 is the perspective view showing the 2nd resin plate.

[Drawing 34] Drawing 34 is the perspective view showing the 3rd resin plate.

[Drawing 35] Drawing 35 is the sectional view of the semiconductor device of the conventional ball grid array mold.

[Drawing 36] Drawing 36 is the state diagram of a Sn-Pb system alloy.

[Drawing 37] Drawing 37 is the sectional view showing the process which mounts the semiconductor device of the conventional ball grid array mold in the mounting circuit board.

[Description of Notations]

10 — A semiconductor integrated circuit chip, 12 — A pad, 14 — Silicon oxide, 16 — A barrier metal layer, 18 — A pewter bump, 20 — Chip carrier, 22 — The pad for chip connection, 26 — A barrier metal layer, 28 — Pewter bump, 30 — The wiring layer in a carrier, 32 — The pad for mounting circuit board connection, 36 — Barrier metal layer, 40 [— The layer of flux,] — A pewter bump, 44 — A conductive connection object, 46 — A resin layer, 50 / 60 [— Index,] — A resin plate, 62 — The slot for cutting, 64 — A tooling hole, 66 70 [— An installation hole, 76 / — A socket electrode, 77 / — A probe, 80-1 80-2 / — Reinforcing materials, 82-1, 82-2 / — Reinforcing materials, 84-1, 84-2 / — Reinforcing materials, 86-1, 86-2 / — Stops, 88 / — Aperture,] — The terminal for a test, 72 — A test jig, 74 — An insertion hole, 75

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-92685

(43)公開日 平成9年(1997)4月4日

(51)Int.Cl.⁶
H 01 L 21/60
23/12

識別記号 311
序内整理番号

F I
H 01 L 21/60
23/12

技術表示箇所
311 S
L

審査請求 未請求 請求項の数5 OL (全21頁)

(21)出願番号 特願平7-250928

(22)出願日 平成7年(1995)9月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 鈴田 陽一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

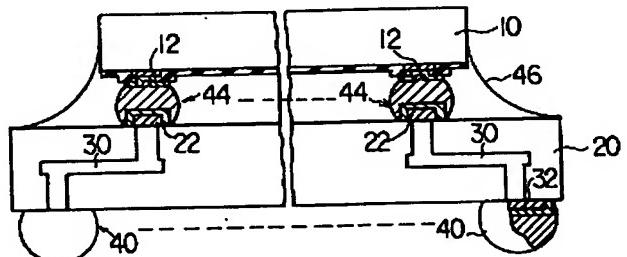
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 ポールグリッドアレイ型、あるいはそれに準じた外部端子を有し、装置の小型化とともに製造コストを減ずることが可能な構造を有する半導体装置を提供すること。

【解決手段】 半導体集積回路チップ10と、チップ10と電気的に接続される接続用端子およびこの接続用端子に電気的に接続されたバンプ型の外部端子22を有するチップキャリア14と、チップ10の端子とチップキャリア14の接続用端子とを互いに電気的に接続するための接続体24とを具備する。そして、バンプ型の外部端子22と接続体24とを互いに同種のバンプ材料により構成するとともに、チップ10とチップキャリア14との間に、チップ10をチップキャリア14に固定するための樹脂層20を設ける。



(2)

1

【特許請求の範囲】

【請求項1】 半導体集積回路チップと、前記チップと電気的に接続される接続用端子、および前記接続用端子に電気的に接続されたバンプ型の外部端子を有するチップキャリアと、前記チップの端子と前記チップキャリアの接続用端子とを互いに電気的に接続するための接続体とを具備し、前記バンプ型の外部端子と前記接続体とが互いに同種のバンプ材料により構成され、かつ前記チップと前記チップキャリアとの間に、前記チップを前記チップキャリアに固定するための固定体が充填されていることを特徴とする半導体装置。

【請求項2】 前記チップキャリアに、前記チップをテストするときに使用されるテスト用端子が設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記チップキャリアは、樹脂系基板であることを特徴とする請求項1および請求項2いずれかに記載の半導体装置。

【請求項4】 前記バンプ材料は、その融点が、前記樹脂系基板の耐熱温度より低い材料から選ばれ、前記固定体は樹脂を含み、この樹脂は、そのガラス転移温度が前記バンプ材料の融点より低く、熱膨脹係数が $20\text{ ppm}/^{\circ}\text{C} \sim 75\text{ ppm}/^{\circ}\text{C}$ 、ヤング率が $300\text{ GPa} \sim 9500\text{ GPa}$ の範囲にあるものから選ばれることを特徴とする請求項1乃至請求項3いずれか一項に記載の半導体装置。

【請求項5】 半導体集積回路チップに設けられている端子とチップキャリアに設けられている前記接続用端子とを電気的に接続するための接続体を溶融させた後、前記接続体を固化させ、前記チップと前記チップキャリアとを互いに電気的に接続する工程と、前記チップを前記チップキャリアに固定するための固定体を溶融させ、前記固定体を前記チップと前記チップキャリアとの間の空間に充填させた後、前記固定体を固化させ、前記チップを、前記チップキャリアに固定する工程と、

前記チップキャリアに、前記接続用端子に電気的に接続される、バンプ型の外部端子を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ポールグリッドアレイ型の半導体装置と、ポールグリッドアレイ型の半導体装置の組み立て方法とに関する。

【0002】

【従来の技術】 図35は、従来のポールグリッドアレイ(Ball Grid Array : BGA)型の半導体装置の断面図である。

【0003】 図35に示すように、半導体集積回路チップ1があり、このチップ1は、ハンダバンプ2により、

チップキャリア3に電気的に接続されている。チップキャリア3に電気的に接続されたハンダバンプ2は、チップキャリア3に設けられている図示せぬ配線を介し、バンプ型の電極4に電気的に接続されている。これにより、チップ1が、外部端子として機能しているハンダバンプ型の電極4に接続される。この種の装置は、丸いバンプ型の電極4がチップキャリア3の裏面に行列状に配置されていることから、ポールグリッドアレイ型と呼ばれている。

【0004】 このようなポールグリッドアレイ型の半導体装置は、ランドグリッドアレイ(Land Grid Array : LGA)の一つ、と言える。ランドグリッドアレイ型の半導体装置は、外部端子としてリードの代わりに、装置の裏面に外部端子としてのパッドを並べ、多端子化の要求に対応させた半導体装置である。

【0005】 このようなランドグリッドアレイ型の半導体装置に属しているポールグリッドアレイ型の半導体装置の利点は、その外部端子と図示せぬ実装回路基板とを、ハンダバンプ型の電極4を溶かすだけで接続できることである。この利点により、ポールグリッドアレイ型の半導体装置は、実装が容易な装置として知られている。

【0006】 さて、図35に示す半導体装置はポールグリッドアレイ型の一つの例であるが、その特徴は、チップ1とチップキャリア3との電気的な接続をハンダバンプ2により行っていることにある。通常は、チップ1とチップキャリア3とはボンディングワイヤにより電気的に接続される。

【0007】 しかし、チップ1とチップキャリア3とをボンディングワイヤによって電気的に接続すると、チップキャリア3の大きさを、チップ1の大きさよりも、かなり大きくしなくてはいけない。

【0008】 このような問題を、図35に示す装置では、ワイヤに代えて、チップ1とチップキャリア3とをハンダバンプ2によって接続することで、チップキャリア3の大きさを、チップ1の大きさとほぼ同等とし、装置の小型化を図っている。

【0009】 このようなチップ1とチップキャリア3とをハンダバンプによって接続し、装置の小型化が図られた装置は、例えば特願平3-22337号などに開示されている。

【0010】 しかし、この種の装置では、チップ1とチップキャリア3とを接続するためのハンダバンプ2に、高融点ハンダ材料を使用する必要があった。

【0011】 図37は、図35に示すポールグリッドアレイ型の半導体装置100を、実装回路基板200に実装する、実装工程を示す断面図である。

【0012】 図37に示すように、実装回路基板200に装置100を実装するとき、そのハンダバンプ型の電極4は、熱が与えられることによって溶かされる。この

(3)

3

とき、ハンダバンプ2の融点を、ハンダバンプ型の電極4の融点を高くしておかないと、ハンダバンプ2が大きく歪んだり、最悪の場合には、チップ1が、チップキャリア3から離脱することさえ予想される。

【0013】このような問題を発生させないために、ハンダバンプ2の融点を、ハンダバンプ型の電極4の融点よりも高くしておくのである。

【0014】図36は、スズ(Sn)一鉛(Pb)系合金の状態図である。Sn-Pb系合金は、ハンダの材料として良く知られている。

【0015】図35に示す装置の場合、例えばハンダバンプ型の電極4にはSn 63wt.% / Pb 37wt.%の共晶ハンダを用い、また、ハンダバンプ2にはSn 3wt.% / Pb 97wt.%のハンダを用いることで、融点差を得ている。

【0016】図36の状態図に示すように、Sn 63wt.% / Pb 37wt.%の共晶ハンダの融点は約183°C、Sn 3wt.% / Pb 97wt.%のハンダの融点は約320°Cである。

【0017】なお、図36に示すE点は共晶点であり、A点は鉛の融点、D点はスズの融点である。上記A点、E点、D点をそれぞれ結ぶ線は液相線である。

【0018】

【発明が解決しようとする課題】以上のように、従来のチップ1とチップキャリア3とをハンダバンプ2によつて接続し、装置の小型化が図られたポールグリットアレイ型の装置では、ハンダバンプ2の融点を、外部端子となるハンダバンプ型の電極4の融点よりも高くしなければならない。

【0019】このため、チップキャリア3は、ハンダバンプ2を溶かしてチップ1をチップキャリア3に接続するときの、例えば320°C以上の高温工程に耐えられる材料で構成される必要がある。

【0020】しかし、チップキャリア3に使用でき、かつ例えば320°C以上の高温工程に耐えられる材料は、現在のところ、アルミナセラミックなど、セラミック系の高価な材料しかなく、製造コストが著しく高くなっている。

【0021】この発明は、上記の点に鑑みて為されたもので、その第1の目的は、ポールグリッドアレイ型、あるいはそれに準じた外部端子を有し、装置の小型化とともに製造コストを減ずることが可能な構造を有する半導体装置を提供することにある。

【0022】また、その第2の目的は、第1の目的を達成するとともに、装置を実装回路基板に実装する前に、ポールグリッドアレイ型、あるいはそれに準じた外部端子を傷めずに済む半導体装置を提供することにある。

【0023】また、その第3の目的は、第1の目的、あるいは第2の目的を達成するとともに、連続製造が可能でスループットの短縮を図れる構造を持つ、半導体装置

4
を提供することにある。

【0024】また、その第4の目的は、第1の目的、あるいは第2の目的、あるいは第3の目的を達成するとともに、チップの端子とチップキャリアの接続用端子とを互いに電気的に接続するための接続体に、長い寿命を持たせることができ可能な半導体装置を提供することにある。

【0025】また、その第5の目的は、ポールグリッドアレイ型、あるいはそれに準じた外部端子を有し、装置の小型化とともに製造コストを減ずることが可能な構造を有する半導体装置の製造方法を提供することにある。

【0026】

【課題を解決するための手段】上記第1の目的を達成するために、この発明では、半導体集積回路チップと、前記チップと電気的に接続される接続用端子、および前記接続用端子に電気的に接続されたバンプ型の外部端子を有するチップキャリアと、前記チップの端子と前記チップキャリアの接続用端子とを互いに電気的に接続するための接続体とを具備する。そして、前記バンプ型の外部端子と前記接続体とを互いに同種のバンプ材料により構成するとともに、前記チップと前記チップキャリアとの間に、前記チップを前記チップキャリアに固定するための固定体を充填したことを特徴としている。

【0027】上記第2の目的を達成するために、この発明では、前記チップキャリアに、前記チップをテストするときに使用されるテスト用端子を設けたことを特徴としている。

【0028】上記第3の目的を達成するために、この発明では、前記チップキャリアを、樹脂系基板としたことを特徴としている。

【0029】上記第4の目的を達成するために、この発明では、前記バンプ材料を、その融点が、前記樹脂系基板の耐熱温度より低い材料から選ぶとともに、前記固定体は樹脂を含み、この樹脂を、そのガラス転移温度が前記バンプ材料の融点より低く、熱膨脹係数が20 ppm / °C ~ 75 ppm / °Cの範囲、ヤング率が3000 Pa ~ 9500 Paの範囲にあるものから選んだことを特徴としている。

【0030】上記第5の目的を達成するために、この発明では、半導体集積回路チップに設けられている端子とチップキャリアに設けられている前記接続用端子とを電気的に接続するための接続体を溶融させた後、前記接続体を固化させ、前記チップと前記チップキャリアとを互いに電気的に接続し、前記チップを前記チップキャリアに固定するための固定体を溶融させ、前記固定体を前記チップと前記チップキャリアとの間の空間に充填させた後、前記固定体を固化させ、前記チップを、前記チップキャリアに固定し、さらに前記チップキャリアに、前記接続用端子に電気的に接続される、バンプ型の外部端子を形成することを特徴としている。

【0031】

(4)

5

【発明の実施の形態】以下、この発明の実施の形態を説明する。

【0032】図1は、この発明の第1の実施の形態に係るボールグリッドアレイ (Ball Grid Array : BGA) 型の半導体装置の断面図、図2は、スズ (Sn) - 鉛 (Pb) 系合金の状態図である。

【0033】また、図3は、図1に示す半導体集積回路チップを示す図で、(a) 図はキャリア接続面の平面図、(b) 図は(a) 図のb-b線に沿う断面図である。図4は、図1に示すチップキャリアを示す図で、(a) 図はチップ接続面の平面図、(b) 図は実装面の平面図、(c) 図は(a) 図および(b) 図中のc-c線に沿う断面図である。

【0034】まず、半導体集積回路チップについて説明する。

【0035】図3 (a) および (b) に示すように、多端子化が要求されるようなロジックデバイスが集積された半導体集積回路チップ10があり、このチップ10のキャリア接続面には、パッド12が形成されている。チップ10のキャリア接続面は、シリコン酸化膜 (SiO₂)₁₄により覆われており、このシリコン酸化膜 (SiO₂)₁₄には、パッド12の表面を露出させるための窓が形成されている。窓から露出されたパッド12各々の表面上には、例えばニッケル (Ni) などを含むバリアメタル層16を介してハンダバンプ18が形成されている。ハンダバンプ18は、チップ10の接続面に、行列状に配置される。

【0036】また、図4 (a) および (c) に示すように、上記チップ10を載せるためのチップキャリア20があり、このチップキャリア20のチップ接続面には、上記チップ10のパッド12それぞれに対応されたチップ接続用パッド22が形成されている。チップ接続用パッド22各々の表面上には、例えばニッケル (Ni) などを含むバリアメタル層26を介してハンダバンプ28が形成されている。

【0037】また、図4 (b) および (c) に示すように、チップキャリア20の実装面には、上記チップ接続用パッド22に、チップキャリア20内に形成されたキャリア内配線層30を介して電気的に接続された実装回路基板接続用パッド32が形成されている。キャリア内配線層30は、チップキャリア20のチップ接続面上に形成され、チップ接続用パッド22に接続されるチップ接続表面配線層 (図示せず) 、チップキャリア20の実装面上に形成され、実装回路基板接続用パッド32に接続される実装表面配線層 (図示せず) 、チップキャリア20内に形成される内部配線層、チップキャリア20に形成されたスルーホールを介して、上記チップ接続表面配線層と上記内部配線層とを互いに接続する垂直方向配線層、同様にスルーホールを介して、上記内部配線層と上記実装表面配線層とを互いに接続する垂直方向配線層な

どにより構成されている。

【0038】実装回路基板接続用パッド32の表面上には、上記チップ接続用パッド22と同様に、例えばニッケル (Ni) などを含むバリアメタル層36を介してハンダバンプ38が形成されている。ハンダバンプ38は、チップキャリア20の実装面に、行列状に配置されていて、外部端子としてのハンダバンプ型の電極40を構成している。これにより、ボールグリッドアレイ型の半導体装置が得られるよう正在されている。

【0039】なお、ハンダバンプ38の材料の好ましい一つの例は、Sn-Pb系合金のなかで融点が最も低いSn 63 wt. % / Pb 37 wt. %の共晶ハンダである。これは、上記ハンダバンプ18、ハンダバンプ28と同種の材料である。

【0040】なお、図4 (a) に示されている二点鎖線42は、上記チップ10が載せられる区域を示している。

【0041】この例では、チップ10に形成されたハンダバンプ18と、チップキャリア20に形成されたハンダバンプ28とは、互いに同種の材料が選ばれていて、その材料は、スズ (Sn) - 鉛 (Pb) 系ハンダである。その組成の好ましい一つの例は、Sn - Pb系合金のなかで融点が最も低くなるSn 63 wt. % / Pb 37 wt. %の共晶ハンダである。選ばれるハンダの材料は、チップキャリア20の耐熱性により変えることができるが、Sn - Pb系ハンダを用いるときには、その融点を低く抑えるために、共晶組成近傍、一例としてはSn 63 ± 10 wt. % / Pb 37 ± 10 wt. %程度の組成のものが良い。この範囲のSn - Pb系ハンダであれば、図2の状態図に示すように、その融点を約220°C以下にでき、チップ10およびチップキャリア20に与える熱衝撃を小さくできる。

【0042】また、この第1の実施の形態に係る装置のチップキャリア20には、アルミニナセラミック基板より安価なプリント基板が用いられている。この発明では、チップ10とチップキャリア20との接続に、上述した融点の低い共晶ハンダを使うために、チップキャリア20に安価なプリント基板を用いることが可能になっている。プリント基板は、樹脂系の基板に導電性配線パターンがプリントされたものである。プリント基板の樹脂の好ましい一つの例はガラスエポキシ系樹脂であるが、その他、ポリイミド系樹脂、フェノール系樹脂、B Tレジン、ベークライトなども使用することができる。

【0043】図3に示したチップ10と図4に示したチップキャリア20とを、ハンダバンプ18とハンダバンプ28とを互いに合致させる。合致されたハンダバンプ18およびハンダバンプ28に、約183°C以上、例えば220°Cで約2秒間、熱を与え、それぞれ溶かす。この後、温度を下げてハンダを固化させる。ハンダを固化させることで、図1に示すように、チップ10のパッド

(5)

7

12とチップキャリア20のチップ接続用パッド22とを互いに電気的に接続する導電性接続体44を形成する。さらに接続用導電体44を形成した後、チップ10とチップキャリア20との間の空間に樹脂を充填することで、樹脂層46を形成する。樹脂層46を形成する樹脂の一つの例は、ポリイミド系熱硬化性樹脂である。

【0044】上記構成を有する半導体装置であると、まず、接続用導電体44が、ハンダバンプ18とハンダバンプ28とをそれぞれ溶すことで得ている。このため、接続用導電体44の組成は、Sn 63 wt. % / Pb 37 wt. %の共晶である。

【0045】このように接続用導電体44が共晶ハンダのみで形成することで、異なった金属どうしの境界がない。

【0046】また、接続用導電体44の組織は、全て共晶組織になり、異なった金属組成の境界もない。

【0047】さらに、ハンダバンプ18およびハンダバンプ28をそれぞれ溶かして接続用導電体44を得るために、その形状は、球体のものとなる。

【0048】これらの事項より、導電性接続体44は、ストレス、特に熱的なストレスに、非常に強いものを得ることができる。

【0049】この効果について、さらに詳細に説明する。

【0050】従来、ハンダバンプを用いて、チップのパッドを他の導電体に接続する方法は、一般にフリップチップ実装として良く知られている。中でもチップのパッドに高融点ハンダバンプを取り付けた、C4 (Controlled Collapse Chip Connection) 技術は、特に有名である。C4技術については、米国特許第4,825,284号や、Microelectronics Packaging Handbook, Van Nostrand Reinhold, New York, 1989, p.368に開示されている。

【0051】図5は、C4技術の典型的な例を説明するための図で、(a)図および(b)図はそれぞれ接続工程順に示した断面図である。

【0052】まず、図5(a)に示すように、チップのパッド300には、高融点ハンダバンプ302が形成されている。高融点ハンダは、Sn 3 wt. % / Pb 97 wt. %の組成である。この高融点ハンダバンプ302を、セラミック基板の接続用パッド304の上に来るよう位置を決める。

【0053】位置を決めた後、図5(b)に示すように、高融点ハンダバンプ302をリフローする。この後、温度を常温に戻し、リフローされた高融点ハンダバンプ302を固化させる。

【0054】このようなC4技術であると、パッド300と接続用パッド304とを導電性接続体306により、互いに接続することができる。この導電性接続体306は、Sn 3 wt. % / Pb 97 wt. %である高融

(5)

8

点ハンダで形成され、異なった金属どうしの境界はない。

【0055】しかし、Sn 3 wt. % / Pb 97 wt. %の合金は共晶ではないので、液相線以下(融点以下)に温度が下がると、まず、 α 相、Sn-Pb合金では、Pbの結晶が析出し、その後に、 $\alpha + \beta$ 相、Sn-Pb合金では、SnとPbとが混じりあった結晶がでてくる(図2のSn-Pb合金の状態図を参照)。このため、その結晶組織には、純粋なPbだけの結晶と、SnとPbとが混じり合った結晶とが混在するようになる。このため、ハンダバンプ内に組成、即ち合金相が異なった領域が分布する。このように合金相が異なった領域が分布すると、熱的なストレスに対する強度が低下する可能性がある。特に熱的なストレスに対する強度の低下は、多端子化および微細化が進み、導電性接続体306が微細化されてきたときに顕著になり、接続不良をもたらす、と推測される。

【0056】また、典型的なC4技術では、この第1の実施の形態のような温度220°Cという、低温でのハンダリフローは、実現することもできない。

【0057】図6は、C4技術の他の例を説明するための図で、(a)図および(b)図はそれぞれ接続工程順に示した断面図である。

【0058】図7は、図6と同様にC4技術の例を説明するための図で、(a)図および(b)図はそれぞれ接続工程順に示した断面図である。

【0059】まず、図6(a)に示すように、図5(a)において説明した形と全く同じものである高融点ハンダバンプ302を有したチップがある。また、セラミック基板に代えてエポキシ系樹脂により構成されるとともに接続用パッド304を有した樹脂基板がある。この樹脂基板の接続用パッド304の上には、低融点の共晶ハンダバンプ308が形成されている。高融点ハンダバンプ302の位置を、図5(a)において説明したように決めた後、図6(b)に示すように、共晶ハンダバンプ308をリフローする。この後、温度を常温に戻し、リフローされた共晶ハンダバンプ308を固化させる。

【0060】このような他のC4技術であると、共晶ハンダバンプ308をリフローすることで、パッド300と接続用パッド304とを互いに接続できるために、低温での接続を実現でき、チップを接続するための基板に樹脂系のものを使用することができる。なお、このようなC4技術は、Proceedings of ECTC, 1993, IEEE, p.182~p.186に開示されている。

【0061】しかし、パッド300と接続用パッド304とを互いに接続する導電性接続体306には、Sn 3 wt. % / Pb 97 wt. %の合金と、Sn 63 wt. % / Pb 37 wt. %の合金との境界310を生ずる。

【0062】このように他のC4技術では、低温でのハ

(6)

9

ンダリフローを実現することができるものの、パッド300と接続用パッド304とを互いに接続する導電性接続体306に、異なった金属どうしの境界310を生ずるために、熱的なストレス、および電気的なストレスに弱くなってしまう。特に境界310は、熱応力による疲労破壊を生じやすい部分であり、熱的なストレスに対する強度の低下が懸念される。

【0063】ところで、半導体装置製造の分野では、製造プロセスのゆらぎ、という問題がある。他のC4技術を用いて半導体製造装置を製造するとき、製造プロセスのゆらぎによって、図7(a)に示すように、共晶ハンダバンプ308が、設計値よりも小さく形成されることが、希ではあるが起こる可能性がある。

【0064】小さい共晶ハンダバンプ308により得られた導電性接続体306では、図7(b)に矢印Aに示されているような、くびれが発生する。共晶ハンダバンプ308が小さいと共晶ハンダの量が少なくなり、高融点ハンダバンプ302の全てを、共晶ハンダによって覆うことができなくなるためである。このくびれの部分には、応力が集中しやすい。導電性接続体306に応力が集中しやすい部分があると、導電性接続体306の強度は、さらに悪化すると予想される。

【0065】なお、出荷前の加速試験において、導電性接続体306にくびれを生じたものは、ある程度選別することができるが、もし、加速試験を通過してしまって出荷されるようになると、装置の信頼性に影響する。

【0066】したがって、導電性接続体は、図7(b)に矢印Aに示されるようなくびれが生ずることがない構造であることが望まれるところである。

【0067】図8は、この発明の第1の実施の形態に係る装置のチップとプリント基板との電気的な接続を説明するための図で、(a)図および(b)図はそれぞれ接続工程順に示した断面図である。

【0068】図8(a)に示すように、図3(a)および(b)において説明した形と全く同じものである共晶ハンダバンプ18を有したチップ10と、図4(a)および(c)において説明した形と全く同じものである共晶ハンダバンプ28を有したプリント基板20がある。共晶ハンダバンプ18の位置を決めた後、図8(b)に示すように、共晶ハンダバンプ18、28の双方をリフローする。この後、温度を常温に戻し、リフローされた共晶ハンダバンプ18、28を固化させ、導電性接続体44を得る。

【0069】このようなチップとプリント基板との電気的な接続であると、共晶ハンダバンプ18、28をそれぞれリフローすることで、パッド12と接続用パッド22とを互いに接続する。したがって、低温での接続を実現できる。

【0070】また、導電性接続体44の形状は、熱的な

(6)

10

ストレスに、構造的に強い球体となる。

【0071】さらに、導電性接続体44は全て、Sn63wt.%/Pb37wt.%の共晶ハンダのみで構成されるので、異なった金属どうしの境界もない。

【0072】しかも、Sn63wt.%/Pb37wt.%の合金は共晶であるので、液相線以下(融点以下)に温度が下がっても、 α 相、即ちPbの結晶が先に析出することではなく、 $\alpha + \beta$ 相、即ちSnとPbとが混じりあった結晶ができる(図2のSn-Pb合金の状態図を参照)。したがって、合金相が異なった領域が分布することもない。

【0073】よって、この発明の第1の実施の形態に係る装置が持つ導電性接続体44では、熱的なストレスに、非常に強いものを得ることができる。

【0074】もちろん、異なった金属どうしの境界がないので、図7(b)に矢印Aに示されるようなくびれが生ずることがない構造でもあり、歩留りも良く、装置の信頼性も高くなる。

【0075】なお、外部端子となるハンダバンプ40、および導電性接続体44を構成するハンダとしては、上記Sn63wt.%/Pb37wt.%のSn-Pb系共晶ハンダの他、以下のようないわゆる使用することができる。

【0076】二元系合金では、In52wt.%/Sn48wt.%のIn(インジウム)-Sn(スズ)系共晶ハンダ、Bi58wt.%/Sn42wt.%のBi(ビスマス)-Sn(スズ)系共晶ハンダ、Sn91wt.%/Zn9wt.%のSn(スズ)-Zn(亜鉛)系共晶ハンダ、Sn96.5wt.%/Ag3.5wt.%のSn(スズ)-Ag(銀)系共晶ハンダ、Sn95wt.%/Sb5wt.%のSn(スズ)-Sb(アンチモン)系共晶ハンダなどを使うことができる。

【0077】三元系合金では、Sn65wt.%/Ag25wt.%/Sb10wt.%のSn-Ag-Sb系共晶ハンダ、Sn95.5wt.%/Cu4.0wt.%/Ag0.5wt.%のSn-Cu(銅)-Ag系共晶ハンダなどを使うことができる。

【0078】四元系合金では、Sn97wt.%/Cu2wt.%/Sb0.8wt.%/Ag0.2wt.%のSn-Cu-Sb-Ag系共晶ハンダなどを使うことができる。

【0079】なお、これらの共晶ハンダにおいても、Sn-Pb系共晶ハンダと同様に、±10%程度の範囲ならば許容できる。

【0080】図9は、樹脂層46に用いられた樹脂の特性を示す図、図10は、温度とハンダバンプ(導電性接続体44)の歪みとの関係を示す図である。

【0081】また、この第1の実施の形態に係る装置では、樹脂層46を、チップ10とチップキャリア20との間の空間に、上記導電性接続体44の周囲を囲うよう

(7)

11

に設けている。この樹脂層46を構成する樹脂には、図9に示すようなヤング率E、熱膨張係数 α 、並びに図10に示すようなガラス転移点Tgを持つ4つの樹脂A、B、C、Dを用いた。

【0082】このような樹脂層46を設ける主要な目的の一つは、チップ10とチップキャリア20との間の空間をコートしてチップ10をチップキャリア20に固定し、図示せぬ実装回路基板への実装するときのハンダリフロー時に、導電性接続体44が歪むことを防止するとともに、チップ10とチップキャリア20との間に働く、熱応力を緩和し、導電性接続体44の劣化を防ぐことである。

【0083】このような目的を達成するために、樹脂層46の樹脂は、図9および図10に示すように、熱膨張係数 α を20 ppm/ $^{\circ}\text{C}$ ~78 ppm/ $^{\circ}\text{C}$ 、ガラス転移点Tgを100~200°C、ヤング率Eが3000 MPa~9500 MPa(室温)に調整されたものを選んだ。

【0084】なお、上記ガラス転移点Tgとは、室温ではガラス状態である樹脂が、ゴム状弾性を示し出す温度のことである。

【0085】詳しくは、樹脂層46を構成した樹脂A、B、C、Dはそれぞれ、ポリイミド系熱硬化性樹脂である。樹脂の各特性はそれぞれ、ポリイミドをベースにポリブタジエンを混合し、さらにフィラーとして破碎状石英および球状石英をそれぞれ含ませ、これらの量を調節することで、上記の範囲となるようにした。

【0086】ただし、上記破碎状石英および球状石英の含有量については、石英の含有量を、40 wt. %以下、例えは38 wt. %程度とした。これは、石英の含有量が40 wt. %以上となると、樹脂の充填性が悪くなり、チップ10とチップキャリア20との間の空間、特にチップ10の中央部分の下の空間にボイドが発生したことによる。

【0087】なお、樹脂にフィラーとして破碎状石英および球状石英を樹脂に40 wt. %~75 wt. %の範囲で含有させることについては、米国特許第4,999,699号に開示がある。

【0088】図10には、温度とハンダバンプ(導電性接続体44)の歪みとの関係が4つの樹脂A、B、C、Dについてそれぞれ示されている。

【0089】図10に示すように、樹脂層46を有している装置では、樹脂層46がない装置に比べ、温度の上昇に伴ったハンダバンプ(導電性接続体44)の歪みが小さくなる。導電性接続体44の歪みが小さくなると、半導体装置を図示せぬ実装回路基板に実装するときのハンダリフロー時に、チップ10とチップキャリア20との接続不良が発生する可能性を低減でき、信頼性向上させることができる。

【0090】さらに導電性接続体44の歪みを、より小

12

さくして、より信頼性を向上させるためには、図10に示すように、ガラス転移点Tgが、チップキャリア20のガラス転移点Tg(約150°C)よりも高い樹脂C、Dを選ばれることが好ましい。導電性接続体44の歪みをより小さくできるのは、ガラス転移点Tgが、導電性接続体44の融点、この実施の形態ではPb-Sn系ハンダの融点よりも高い樹脂Dである。この場合には、温度が、導電性接続体44の融点に達しても、導電性接続体44に急激な歪みの増加がない。

【0091】図11は、バンプの歪みとTCTサイクルとの関係を示す図である。図11において、樹脂層46を持たない装置の実験結果は“○”印によりプロットされ、樹脂層46を持つ装置の実験結果は“□”印によりプロットされている。

【0092】図11には、4つの実験の結果がそれぞれ示されている。

【0093】第1の実験は、樹脂層46を持たない装置の実験であり、第2の実験は、樹脂の種類を固定し、ハンダバンプ(導電性接続体44)の高さを変化させた実験、第3の実験は、ハンダバンプ44の高さを固定し、樹脂の種類を変化させた実験、第4の実験は、第2の実験に準ずるもので、チップキャリアの材料を樹脂からセラミックに変化させた実験である。

【0094】第1の実験についての詳しい説明は省略するが、樹脂層46を持たない装置では、樹脂層46を持つ装置に比較して、ハンダバンプが歪み易くなる傾向がある。

【0095】まず、第2の実験の結果について説明する。

【0096】第2の実験では、ハンダバンプの高さhを30 μm、50 μm、80 μmにした3つ装置を使用した。これらの装置では、樹脂層46の樹脂に、上記樹脂A(E=3479 MPa, α =74 ppm/ $^{\circ}\text{C}$)を用い、チップキャリア20には、基材樹脂がエポキシ系であるFR-4と呼ばれるものをそれぞれ用いた。

【0097】図11に示すように、この実験では、ハンダバンプ44の高さhが、30 μm、50 μm、80 μmと高まるにつれて、ハンダバンプ44が歪み難くなる傾向が認められた。この傾向からは、ハンダバンプ44を歪み難くするためには、ハンダバンプ44の高さhを、ある程度高くすると良い、ということが分かる。これは、ハンダバンプ44の高さhをある程度高くすることで、チップ10とチップキャリア20との熱膨張差を吸収するためのハンダバンプのひずみが少なくて済む、あるいはチップ10とチップキャリア20との間の空間の容積がある程度大きくなり、樹脂層46の機械的な強度が高まる、あるいはハンダバンプ44の容積がある程度大きくなることで、ハンダバンプ44自体の機械的な強度が高まる、これらの要因によって、ハンダバンプ44が歪み難くなる、と推測される。この実験では、ハン

(8)

13

ダバンプの高さ h は、一つの例として、 $80 \mu\text{m}$ 程度が好ましい、という結果が得られている。

【0098】次に、第3の実験の結果について説明する。

【0099】第3の実験に使われた装置は、ハンダバンプの高さ h を、好ましいとされた値、即ち $80 \mu\text{m}$ で固定し、樹脂層46の樹脂を、上記樹脂B ($E = 5867 \text{ MPa}, \alpha = 41 \text{ ppm}/\text{°C}$)、上記樹脂C ($E = 60 \text{ MPa}, \alpha = 36 \text{ ppm}/\text{°C}$)、上記樹脂D ($E = 9408 \text{ MPa}, \alpha = 23 \text{ ppm}/\text{°C}$)とした3つの装置を使用した。これら3つの装置のチップキャリア20にはFR-4を用いた。

【0100】図11に示すように、樹脂A、樹脂B、樹脂C、樹脂Dの順で、ハンダバンプ44が歪み難くなり、図10に示した関係が装置レベルで確認された。

【0101】次に、第4の実験の結果について説明する。

【0102】第4の実験では、ハンダバンプの高さ h を $20 \mu\text{m}$ 、 $40 \mu\text{m}$ にした2つの装置が使用された。この2つの装置の樹脂層46の樹脂には樹脂Aが、また、チップキャリア20にはアルミナセラミックが用いられた。

【0103】図11に示すように、チップキャリア20を、樹脂系のものからセラミック系のものに代えても、第2の実験と同様なる結果を得ることができた。

【0104】このように、この発明は、チップキャリア20にセラミック系のものを使用することもできる。例えばアルミナセラミックや、窒化アルミニウム(AIN)などである。チップキャリア20にセラミック系のものを使用すると、チップキャリア20が樹脂系のものよりは、製造コストはかかる。

【0105】しかしながら、ハンダバンプ44を共晶ハンダとし、かつ樹脂層46を形成することにより、熱的なストレスおよび電気的なストレスに強い装置が得られる、という効果は、図11にも示されているように維持することができる。

【0106】なお、樹脂層46に含有させるフィラーには、石英だけでなく、他の材料を用いることもできる。例えば窒化アルミニウム(AIN、熱膨張係数 $\alpha = 2.9 \text{ ppm}/\text{°C}$)である。窒化アルミニウムをフィラーに用いたときには、その含有量が75wt.%以上にされたとき、樹脂の熱膨張係数 α が $40 \text{ ppm}/\text{°C}$ 以下にすることができる。

【0107】ただし、窒化アルミニウムの含有量が75wt.%以上であると、石英のときと同じように、樹脂の充填性の悪化が認められた。この充填性の悪化を解消するために、窒化アルミニウムの粒径を $0.5 \mu\text{m}$ 以下にそろえた。これにより、充填性を改善することができた。

【0108】なお、樹脂層46のベース剤には、ポリイ

14

ミドの他、エポキシ樹脂、ブダジエン樹脂、ビフェニール系樹脂なども用いることが可能である。

【0109】特にビフェニール系樹脂は、水分の吸湿が少なく、チップ10と、チップキャリア20のチップ接続面上に形成されているソルダーマスクとしてのレジスト(図示せず)との密着性を良くすることができる。

【0110】このような第1の実施の形態に係るボールグリッドアレイ型の半導体装置であると、導電性接続体44を共晶ハンダで構成することにより、チップ10とチップキャリア20とを低温で接続できるとともに、熱的なストレスおよび電気的なストレスの双方に強い、装置を得ることができる。

【0111】また、チップ10とチップキャリア20との間の空間に樹脂層46を形成することにより、導電性接続体44がひずみ難くなり、上記熱的なストレスおよび電気的なストレスに対する強度を、さらに高めることができる。

【0112】図12は、第1の実施の形態に係るボールグリッドアレイ型の半導体装置を、実装基板に実装する状態を示した断面図である。

【0113】図12に示すように、第1の実施の形態に係るボールグリッドアレイ型の半導体装置150では、チップ10とチップキャリア20との間の空間に樹脂層46が形成されていることによって、ハンダバンプ型の電極40を実装基板200の接続用端子202に、ハンダリフロー法を用いて接続するとき、これら電極40と同様な共晶ハンダでなる導電性接続体44が大きく歪んだり、あるいはチップ10がチップキャリア20から離脱したりする問題を解消することができる。

【0114】次に、この発明の第1の実施の形態に係るボールグリッドアレイ型の半導体装置の、より具体的な製造方法について説明する。

【0115】図13～図18はそれぞれ、この発明の第1の実施の形態に係るボールグリッドアレイ型の半導体装置を、製造工程順に示した断面図である。

【0116】図13に示すように、チップ10のキャリア接続面側に形成されているバリアメタル層16上に、電解メッキ法を用いて、共晶ハンダバンプ18を形成する。次に、共晶ハンダバンプ18の表面にフラックスを塗布する。このフラックスには、日本アルファメタルズのR5002、千住金属工業の7200A、日本ハンダのラピックスRなどを使える。基本的に、ロジンを主成分とする無ハロゲン系のフラックスが使用されることが好ましい。

【0117】なお、このフラックスを塗布工程は、後に行われるバンプ接続時に使われるフラックスに、例えば水溶性で、かつ活性度の高いフラックスが使用されるときには、省略することもできる。次に、 200°C 以上の温度で、共晶ハンダをリフローし、共晶ハンダバンプ18を球状にする。共晶ハンダバンプ18を球状にするの

(9)

15

は、接続時のハンダの濡れ性を向上させるためである。

【0118】次に、図14に示すように、球状にされた共晶ハンダバンプ18の表面に、フラックスを塗布する。参照符号50により示される部分は、フラックスの層である。このフラックスには、上述のR5002、7200A、ラピックスR、あるいは日本アルファメタルズのR5003を、環状アミド溶剤や、イソプロピルアルコール溶剤、エチレングリコールモノフェニールエーテルなどの溶剤を用いて、固形分が6%～50%になるように薄めて使用する。

【0119】次に、図15に示すように、チップキャリア20のチップ接続面側に形成されているバリアメタル層26上に、無電解メッキ法を用いて、共晶ハンダバンプ28を形成する。次に、共晶ハンダバンプ28の表面にフラックスを塗布する。このフラックスには、共晶ハンダバンプ18と同様、R5002、7200A、ラピックスRなどが使われ、基本的に、ロジンを主成分とする無ハロゲン系のフラックスが使用されることが好ましい。

【0120】なお、このフラックスを塗布工程もまた、後に行われるバンプ接続時に使われるフラックスに、例えば水溶性で、かつ活性度の高いフラックスが使用されるときには、省略することもできる。次に、200℃以上の温度で、共晶ハンダをリフローし、共晶ハンダバンプ28を球状にする。共晶ハンダバンプ28を球状にするのは、共晶ハンダバンプ18と同様に、接続時のハンダの濡れ性を向上させるためである。

【0121】さらに、図15に示すように、チップ10のキャリア接続面と、チップキャリア20のチップ接続面とを対向させ、共晶ハンダバンプ18と共に共晶ハンダバンプ28とが互いに対向するように位置を決める。

【0122】次に、図16に示すように、共晶ハンダバンプ18と共に共晶ハンダバンプ28とを互いに接触させる。この状態では、図示はされないがフラックスの層50により、チップ10がチップキャリア20に仮止めされた状態となる。仮止めされた状態のまま、チップ10とチップキャリア20とを搬送して、リフロー用の炉の中に投入する。次に、炉の温度を220℃、リフロー時間を約2秒として、共晶ハンダバンプ18および共晶ハンダバンプ28をそれぞれ溶かし、導電性接続体44を形成する。この時の炉の温度は、共晶ハンダの融点である183℃から、部材の熱容量と耐熱性とを考慮した255℃までの範囲に設定されるのが良い。また、リフロー時間は、ハンダの融点を越える温度として、1秒以上設定されれば、ハンダを溶かすことができ、導電性接続体44を形成することができる。リフロー時間は、基板の耐熱性にもよるが、最大20秒程度まで設定することが可能である。次に、層50を構成していたフラックスを、洗浄剤、例えばイソプロピルアルコール、EC-7、またはテクノケアなどを用いて除去する。

(9)

16

【0123】次に、図17に示すように、チップ10とチップキャリア20との間の空間に、例えば上述したポリイミド系熟硬化性樹脂を充填する。次に、充填された樹脂を固化させるために、例えば温度が100℃に設定されたオーブンにより、1～4時間キュアする。これによって、樹脂層46が形成される。

【0124】次に、図18に示すように、チップキャリア20の実装面側に形成されているバリアメタル層36上に共晶のハンダボールを溶融して固着し、球状の共晶ハンダバンプ40を形成する。共晶ハンダバンプ40は、バリアメタル層36上にクリームハンダを印刷した後、印刷されたクリームハンダをリフローし、球状にすることでも形成することができる。

【0125】このような製造方法であると、導電性接続体44を得て、さらに樹脂層46を形成した後、外部端子となる共晶ハンダバンプ40を形成する。このため、導電性接続体44を形成するときの熱を、共晶ハンダバンプ40を受けることがない。このため、共晶ハンダバンプ40が溶けて、その形がくずれたり、あるいは共晶ハンダバンプ40どうしが短絡してしまうことがない。

【0126】次に、他の製造方法について説明する。

【0127】図19～図23はそれぞれ、第1の実施の形態に係るボールグリッドアレイ型の半導体装置を、他の製造方法にしたがって工程順に示した断面図である。

【0128】まず、図19、図20に示すように、図13、図14を参照して説明した方法にしたがって、球状の共晶ハンダバンプ18を形成し、球状化された共晶ハンダバンプ18の表面に、環状アミド溶剤や、イソプロピルアルコール溶剤、エチレングリコールモノフェニールエーテルなどの溶剤を用いて固形分が6%～50%になるように薄められた、上述のR5002、R5003、7200A、ラピックスRよりなるフラックスの層50を形成する。

【0129】次に、図21に示すように、図15を参照して説明した方法にしたがって、チップキャリア20のチップ接続面側に形成されているバリアメタル層26上に、球状の共晶ハンダバンプ28を形成する。さらに、図17を参照して説明した方法にしたがって、チップキャリア20の実装面側に形成されているバリアメタル層36上に球状の共晶ハンダバンプ40を形成する。

【0130】さらに、図21に示すように、チップ10のキャリア接続面と、チップキャリア20のチップ接続面とを対向させ、共晶ハンダバンプ18と共に共晶ハンダバンプ28とが互いに対向するように位置を決める。

【0131】次に、図22に示すように、図16を参照して説明した方法にしたがって、共晶ハンダバンプ18と共に共晶ハンダバンプ28とを互いに接触させ、炉の温度を220℃、リフロー時間を約2秒として、共晶ハンダバンプ18および共晶ハンダバンプ28をそれぞれ溶かし、導電性接続体44を形成する。この後、層50を構成する。

(10)

17

成していたフラックスを、洗浄剤、例えばイソプロピルアルコール、EC-7、またはテクノケアなどを用いて除去する。

【0132】次に、図23に示すように、図17を参照して説明した方法にしたがって、チップ10とチップキャリア20との間の空間に、例えば上述したポリイミド系熱硬化性樹脂を充填し、充填された樹脂をキュアし固化させて樹脂層46を形成する。

【0133】この製造方法の特徴を要約すると、フラックスに接する共晶ハンダバンプ18、28と、フラックスに接しない（塗布されていない）共晶ハンダバンプ40とで、濡れ性が相違することを利用し、共晶ハンダバンプ40をくずすことなく、共晶ハンダバンプ18、28のみを溶かして、チップ10をチップキャリア20に接続するようにしたものである。

【0134】共晶ハンダは、フラックスが接することで濡れ性が良くなり、流動性が増す。したがって、フラックスに接している共晶ハンダバンプ18、28と、フラックスが塗布されていない共晶ハンダバンプ40と同じ熱を与えると、共晶ハンダバンプ40が球状の形を維持し続いている間に、共晶ハンダバンプ18、28のみ、共晶ハンダの流動性を大きくさせることができる。したがって、共晶ハンダバンプ40の形をくずすことなく、導電性接続体44を形成することができる。

【0135】このような製造方法の利点は、チップ10に、共晶ハンダバンプ40を形成する際に熱工程を取り込まれずに済み、チップ10の熱履歴を軽減できることである。

【0136】チップ10の熱履歴を軽減できると、チップ10の半導体基板の内部に形成された拡散層のプロファイルが乱れる可能性を小さくでき、チップ10に、微細な素子を集積することができる。

【0137】したがって、図19～図23を参照して説明した製造方法は、この発明に係るポールグリッドアレイ型の半導体装置のチップに、大規模な集積回路を組み込むことに好適な製造方法である。

【0138】次に、この発明の第2の実施の形態に係るポールグリッドアレイ型の半導体装置について説明する。

【0139】この第2の実施の形態に係るポールグリッドアレイ型の半導体装置の主要な目的は、装置の組み立てをより簡単に行え、組み立てのスループットを向上させようとするものである。また、他の目的は、外部端子となる半田バンプ40が傷まないようにすることである。

【0140】この第2の実施の形態では、一枚の樹脂板を準備し、この一枚の樹脂板に、後にチップキャリア20となる部分を複数設定し、ハンダバンプ28および40の形成工程とチップ10の接続工程とを、複数の装置で一括して行えるようにして、組み立てを簡単化し、組

18

み立てのスループットを向上させている。

【0141】図24は、この発明の第2の実施の形態に係るポールグリッドアレイ型の半導体装置を示す図で、

(a) 図は実装面から見た平面図、(b) 図は(a) 図中のb-b線に沿う断面図である。

【0142】図24に示すように、一枚の短冊状の樹脂板60があり、この樹脂板60は、チップキャリア20となるキャリア予定部20'が複数、短冊状の樹脂板の長軸方向に沿って一列に並んで設定されている。樹脂板60には、チップキャリアの切り離しを容易にするための切断用溝62が、キャリア予定部20'の4つの角を除いたところに設けられている。キャリア予定部20'は、4つの角がそれぞれ、図示せぬ切断用金型により、切り落とされることによって、各チップキャリア20に分離される。

【0143】また、樹脂板60には、組み立て時の取り扱いを行いややすくするために、図示せぬ搬送ツールの爪が掛けられるツーリングホール64が、樹脂板60の長辺に沿って形成されている。このツーリングホール64は、搬送に用いられるだけでなく、例えば切断用金型の位置合わせ、およびテスト用ジグの位置合わせなどにも利用することができる。

【0144】また、この第2の実施の形態に係る装置では、樹脂板60に、TAB方式に使われる、フレキシブルなテープではなく、ある程度の厚みを有していて、フレキシブルなテープより、ねじれ難く、かつたわみ難いものとしている。このような樹脂板60の変形し難い性質を利用して、この第2の実施の形態では、樹脂板60のチップ接続面（チップ搭載面）上に、テスト用端子70を設けるようにしている。樹脂板60は、フレキシブルなテープに比べれば変形が少なく、テストのソケット電極、またはプローブを、テスト用端子70に、精度良く接触させることができたためである。

【0145】なお、フレキシブル基板の上にテスト用電極を有した装置は、例えば特公平6-103704号などに開示されている。

【0146】テスト用端子70は、キャリア予定部20'内に配置され、キャリア予定部20'を切り落とす前、切り落とした後のいずれでも、チップ10の中に形成されている集積回路をテストすることが可能にされている。さらにテスト用端子70は、樹脂層46により覆われないように形成され、樹脂層46を形成した後でも、テストできるようにされている。

【0147】図25は、この発明の第2の実施の形態に係るポールグリッドアレイ型の半導体装置を、樹脂板60から分離した状態を示す図で、(a) 図は、チップ搭載面から見た平面図、(b) 図は(a) 図からチップを取り除いたときの平面図である。

【0148】図25(a)および(b)に示すように、キャリア予定部20'が、樹脂板60から分離された

(11)

19

後、テスト用端子 70 はチップキャリア 20 の上に残つており、かつ樹脂層 46 により覆われることなく、露出されている。

【0149】また、図 25 (a) および (b) に、参考符号 66 により示される部分は、装置の向きを示すインデックスである。インデックス 66 の形は、図 25 (a) および (b) に示されるような四角形の他、図 26 (a) に示すような円弧状に切り抜かれた形や、図 26 (b) に示すような孔であったりしても良い。

【0150】このような第 2 の実施の形態に係る半導体装置であると、複数の装置を一括して組み立てていくことが可能となり、スループットを向上させることができる。さらに、外部端子となるハンダバンプ 40 とは別に、テスト用端子 70 を設けるようにすれば、テスト時に、ハンダバンプ 40 に、テスト信号をテスト用端子 70 に供給するためのテスト信号供給端子、またはプローブを接触させずに済む。このため、繊細なハンダバンプ 40 が傷つくこともない。

【0151】また、テスト用端子 70 は、導電性接続体 44 ごとに、一つ一つ形成される必要はない。チップ 10 にロジック系の集積回路を集積したときには、チップ 10 から引き出す電極のパッド数が 200 程度になる。このようなパッド数は、チップ 10 にメモリ系の集積回路を集積したときに比べ、はるかに多い。

【0152】そこで、チップ 10 にロジック系の集積回路を集積したときには、チップのテスト手法として知られている、JTAG (Joint Test Action Group) などを利用し、テスト用端子 70 の数を削減することが望ましい。このようにすれば、チップ 10 から引き出す電極のパッド数が多いときでも、テスト用端子 70 を、チップ 10 の外周に、一列に配置することができ、チップキャリア 20 のサイズの増加を抑制することができる。

【0153】なお、この第 2 の実施の形態に係る半導体装置には、チップキャリア 20 に、コストが低く、かつ切断用金型で容易に切断できる、樹脂系のものが用いられることが好ましい。例えばチップキャリア 20 にセラミック系のものが用いられても構わないが、チップキャリア 20 に、セラミック系のものを使用したときには、コストが高く、切断も容易でなくなる。

【0154】さらに、樹脂板 60 は、切断用金型で容易に切断できるので、半導体装置の向きを示すインデックス 66 も形成しやすい。しかも、インデックス 66 は、切断用金型に、図 25 (a) および (b) に示す四角形や、図 26 (a) に示す円弧、あるいは図 26 (b) に示す孔に応じた型を設けることで、キャリア予定部 20' を樹脂板 60 から打ち抜くと同時に得ができる。もちろん図 25 ~ 図 26 に示す形の他にも、様々な形のインデックスを作ることができる。

【0155】なお、樹脂板 60 からのキャリア予定部 20' の切り離しは、メーカ側、ユーザ側の双方で行うこ

20

とができる。切り離す時期の選択は、ユーザ側の要求に応じて決定することができる。

【0156】メーカ側で切り離すときの利点は、ユーザ側が切断用金型を準備しなくて済み、ユーザ側のコスト的な負担を軽減できることである。

【0157】また、ユーザ側で切り離すときの利点は、複数の装置が、一つの樹脂板 60 に繋ぎとめられているので、大量輸送が行いやすくなることである。

【0158】さらに、インデックス 66 の形を、ユーザ側で好みの形に成型可能という利点もある。この場合、ユーザ側で、インデックス 66 を、装置の向きを示すだけでなく、実装基板との位置決め用のための孔、あるいは形に整えることも可能である。

【0159】次に、この発明の第 2 の実施の形態に係るポールグリッドアレイ型の半導体装置をテストするのに好適なテスタについて説明する。

【0160】図 27 は、第 1 のテスタを概略的に示した断面図である。

【0161】図 27 に示すように、テストジグ 72 があり、このテストジグ 72 には、第 2 の実施の形態に係る半導体装置 160 が挿入される挿入孔 74 が設けられている。ソケット電極 76 は、挿入孔 74 の底部に固定されている。

【0162】半導体装置 160 は、テスト用端子 70 が形成されているチップ 10 の搭載面から挿入孔 74 に挿入される。これによって、テスト用端子 70 が、ソケット電極 76 に接触される。この後、テスト信号を、ソケット電極 76 を介してチップ 10 に供給し、チップ 10 の電気的なテストを、周知の方式にしたがって行う。テストが終了したら、テストジグ 72 から、半導体装置 160 を取り出す。

【0163】このようなテスタであると、半導体装置 160 を、半導体装置 160 のチップ 10 の搭載面を下にした状態で、挿入孔 74 に、例えば落とし込むことで、テスト用端子 70 と、挿入孔 74 の底部に設けられたソケット電極 76 とが接触される。このため、外部端子となるハンダバンプ 40 には、ソケット電極 76 だけではなく、テストジグ 72 も接触することができなく、ハンダバンプ 40 が傷つく可能性が小さい。

【0164】図 28 は、第 2 のテスタを概略的に示した断面図である。

【0165】図 28 に示すように、テストジグ 72' があり、このテストジグ 72' には、第 2 の実施の形態に係る半導体装置 160 が載置される載置孔 75 が設けられている。載置孔 75 は、半導体装置 160 の縁の部分のみを支持する浅い孔 75a と、半導体装置 160 のハンダバンプ 40 がテストジグ 72' に接触しないようにするための深い孔 75b とかなりなっている。

【0166】ソケット電極 76' は、例えば上下方向への移動が可能なように形成されており、半導体装置 160

(12)

21

0が浅い孔75aの中に載置された後、テスト用端子70に上下方向に移動してきて接触される。この後、テスト信号を、ソケット電極76を介してチップ10に供給し、チップ10の電気的なテストを、周知の方式にしたがって行う。テストが終了したら、ソケット電極76'を上下方向に動かして、テストジグ72'から、半導体装置160を取り出す。

【0167】このようなテスタでも、ハンダバンプ40がテストジグ72'に接触しないようにするための深い孔75bを有していることにより、図27に示したテスタと同様、ソケット電極76'およびテストジグ72'それぞれが、ハンダバンプ40に接触することがなくなる。よって、ハンダバンプ40を傷つき難くすることができる。

【0168】図29は、第3のテスタを概略的に示した断面図である。

【0169】図29に示すように、図示せぬテストジグに接続されているプローブ77がある。このプローブ77は、第2の実施の形態に係る半導体装置160にテスト信号を供給するとともに、半導体装置160を支持する。プローブ77は、半導体装置160を支持するために、テスト用端子70に接触され、かつ半導体装置160を支持する先端部分から根元の部分に向かって太くされ、その剛性が高められている。その剛性は、半導体装置160を支持したとき、ねじれ、およびたわみがそれぞれ、実質的に問題のない範囲まで軽減できる程度に設定される。

【0170】このようなテスタでは、半導体装置160を、半導体装置160のチップ10の搭載面を下にした状態で、テスト用端子70をプローブ77に接触させると同時に、半導体装置160を支持する。このため、外部端子となるハンダバンプ40が、プローブ77や、図示せぬテストジグに接触することなく、第1、第2のテスタと同様にハンダバンプ40が傷つく可能性を小さくできる。

【0171】次に、この発明の第3の実施の形態に係るポールグリッドアレイ型の半導体装置について説明する。

【0172】この第3の実施の形態に係るポールグリッドアレイ型の半導体装置は、第2の実施の形態に準ずるもので、テスト用端子が、別の形状とされたものである。

【0173】図30は、この発明の第3の実施の形態に係るポールグリッドアレイ型の半導体装置を、樹脂板60から分離した状態を示す図で、(a)図は、チップ搭載面から見た平面図、(b)図は(a)図からチップを取り除いたときの平面図である。

【0174】図30(a)および(b)に示すように、テスト用端子は、例えば図25(a)、(b)に示したような、配線よりも面積の広い四角形状にされる必要は

22

必ずしもなく、導電性接続体44とハンダバンプ40とを互いに接続するキャリア内配線を部分的に、樹脂層46から露出させ、この露出されたキャリア内配線の部分をテスト端子70'とするようにも良い。

【0175】次に、この発明の第4の実施の形態に係るポールグリッドアレイ型の半導体装置について説明する。

【0176】図31は、この発明の第4の実施の形態に係るポールグリッドアレイ型の半導体装置の断面図である。

【0177】図31に示すように、テスト用端子70は、樹脂層46の外側に形成しなくても、樹脂層46の内側、あるいは樹脂層46によって被覆されるようにしても良い。この場合には、テスト用端子70が樹脂層46によって隠されてしまうので、チップ10のテストは、樹脂層46を形成する前に行われる。そして、テストは、キャリア予定部20'が樹脂板60から切り離される前に行われることが良い。このようにすると、テスト後、樹脂層46を、樹脂板60に繋ぎとめられている複数の装置で一括して形成することができ、効率が良い。

【0178】次に、この発明に係るポールグリッドアレイ型の半導体装置に好適である樹脂板について説明する。

【0179】第2の実施の形態で説明され、第2～第4の実施の形態に使用される樹脂板60では、TAB方式などに使われるフレキシブルなテープに比べ、厚みがあり、変形し難いものであった。そして、樹脂板60の厚みは、厚くすればするほど、変形し難くすることができ、テスト用端子70とテスタのソケット電極、またはプローブとの接触精度が良くなってくる。

【0180】しかし、樹脂板60を変形し難くするために、樹脂板60の厚みを厚くしていくと、今度は、キャリア予定部20'を樹脂板60から切り離すための切断が難しくなってくる。

【0181】これから説明される樹脂板の主要な目的は、上記の点を解消し、テスト用端子70とテスタのソケット電極、またはプローブとの接触精度を良好とさせつつ、キャリア予定部20'を樹脂板60から切り離すための切断を容易にすることが可能であり、この発明の第2～第4の実施の形態に係るポールグリッドアレイ型の半導体装置に、特に好適な樹脂板を提供することにある。

【0182】図32は、第1の樹脂板を示す斜視図である。

【0183】図32に示すように、切断を容易にするために、厚みが0.6mm～0.9mm程度に設定された樹脂板60aがある。切断が容易になる樹脂板60aの厚みは、樹脂の種類によって種々変わるが、エポキシ系の樹脂では、厚みが0.6mm～0.9mm程度が望ま

(13)

23

しい。この例では、樹脂板60aはエポキシ系とし、その厚みは0.6mmに設定した。図中、参照符号68により示される破線は、切断箇所を示している。

【0184】このような樹脂板60aでは、取り扱い時に、ねじれ、たわみ、そりなどの問題が起こりやすくなる。そこで、樹脂板60aの縁に沿って、チップ接続面に補強材80-1を、実装面に補強材80-2を形成し、樹脂板60aを補強している。この例では、補強材80-1、80-2をそれぞれ、厚みが1.2mmでエポキシ系の樹脂で形成した。

【0185】テスト用端子70は、補強材80-1の上まで引き出されていて、テスト用端子70は、樹脂体60の中で、最も変形し難い領域に形成されたようにした。

【0186】このような樹脂板60aであると、樹脂板60aの縁に沿って、補強材80-1、80-2がそれぞれ形成されることによって、樹脂板60aを変形し難くでき、テスト用端子70とテスタのソケット電極、またはプローブとの接触精度を良好とすることができます。

【0187】しかも、キャリア予定部20'を樹脂板60aから切り離すための切断は、樹脂体60aの厚みを、例えば0.6mm程度まで薄くなっていることにより、容易できる。特に切断の時に、切断用金型にかける荷重を小さくできる。よって、この発明の第2～第4の実施の形態に係るポールグリッドアレイ型の半導体装置に、特に好適な樹脂板60aを得ることができる。

【0188】図33は、第2の樹脂板を示す斜視図である。

【0189】第1の樹脂板60aでは、テスト用端子70が、チップ10が持つ4つの辺のうちの2つの辺に対応させて形成されている。この第2の樹脂板60bでは、チップ10が持つ4つの辺の全てに対応させて形成されている。

【0190】図33に示すように、この第2の樹脂板では、厚み0.6mmで、エポキシ系の樹脂板60bの切断箇所68の周囲を囲んで、チップ接続面に補強材82-1を、実装面に補強材82-2をそれぞれ形成し、樹脂板60を補強している。この例では、補強材80-1、80-2をそれぞれ、厚みが1.2mmでエポキシ系の樹脂で形成した。

【0191】テスト用端子70は、第1の実施の形態と同様、補強材80-1の上まで引き出され、テスト用端子70が、樹脂体60bの中で、最も変形し難い領域に形成されるようにした。

【0192】このような樹脂板60bであっても変形し難くでき、テスト用端子70とテスタのソケット電極、またはプローブとの接触精度を良好にできると同時に、キャリア予定部20'を樹脂板60から切り離すための切断を容易できる。

【0193】図34は、第3の樹脂板を示す斜視図である。

24

【0194】第1の樹脂板60aでは補強材80-1、80-2がそれぞれ、樹脂板60aと一緒に形成され、同様に、第2の樹脂板60bでは補強材82-1、82-2がそれぞれ、樹脂板60bと一緒に形成されている。

【0195】このように補強材は樹脂板と一緒に形成されても、それぞれ別の部材とされても良い。この第3の樹脂板60cでは、補強材84-1、84-2を、樹脂板60cに着脱自在に形成している。補強材84-1、84-2はそれぞれ、第1、第2の樹脂板のときと同様に、厚みが1.2mmでエポキシ系の樹脂で形成した。

【0196】図34に示すように、補強材84-1、84-2は、ビスとワッシャ、あるいはボルトとナットのような止め具86-1、86-2を使用して、樹脂板60cに止められている。止め具86-1、86-2は、樹脂板60cのツーリングホール64を介して、樹脂板60cを、補強材84-1と84-2によって挟み込む。

【0197】また、補強材84-1は、樹脂板60cの上に被せられるために、樹脂板60cのチップ接続面上に形成されているテスト用端子70が補強材84-1によって隠されてしまう。このため、補強材84-1の、テスト用端子70に対応する部分には、テスタのソケット電極、またはプローブをテスト用端子70に接触できるように、テスト用端子70を補強材84-1から露出させるための窓88が設けられている。

【0198】このような樹脂板60cでもテスト用端子70とテスタのソケット電極、またはプローブとの接触精度を良好にできると同時に、キャリア予定部20'を樹脂板60から切り離すための切断を容易できる。

【0199】

【発明の効果】以上、説明したように、この発明によれば、ポールグリッドアレイ型、あるいはそれに準じた外部端子を有し、装置の小型化とともに製造コストを減ずることが可能な構造を有する半導体装置と、装置を回路基板に実装する前に、ポールグリッドアレイ型、あるいはそれに準じた外部端子を傷めずに済む半導体装置と、連続製造が可能でスループットの短縮を図れる構造を持つ半導体装置と、チップの端子とチップキャリアの接続用端子とを互いに電気的に接続するための接続体に、長い寿命を持たせることができることが可能な半導体装置と、ポールグリッドアレイ型、あるいはそれに準じた外部端子を有し、装置の小型化とともに製造コストを減ずることが可能な構造を有する半導体装置の製造方法とを提供することができる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施の形態に係るポールグリッドアレイ型の半導体装置の断面図。

【図2】図2はSn-Pb系合金の状態図。

【図3】図3は図1に示す半導体集積回路チップを示す図で、(a)図はキャリア接続面の平面図、(b)図は(a)図のb-b線に沿う断面図。

(14)

25

【図4】図4は図1に示すチップキャリアを示す図で、(a)図はチップ接続面の平面図、(b)図は実装面の平面図、(c)図は(a)図および(b)図中のc-c線に沿う断面図。

【図5】図5はC4技術の典型的な例を説明するための図で、(a)図および(b)図はそれぞれ接続工程順に示した断面図。

【図6】図6はC4技術の他の例を説明するための図で、(a)図および(b)図はそれぞれ接続工程順に示した断面図。

【図7】図7はC4技術の例の例を説明するための図で、(a)図および(b)図はそれぞれ接続工程順に示した断面図。

【図8】図8はこの発明の第1の実施の形態に係る装置のチップとプリント基板との電気的な接続を説明するための図で、(a)図および(b)図はそれぞれ接続工程順に示した断面図。

【図9】図9は樹脂層に用いられた樹脂の特性を示す図。

【図10】図10は温度とバンプの歪みとの関係を示す図。

【図11】図11はバンプの歪みとTCTサイクルとの関係を示す図。

【図12】図12はこの発明の第1の実施の形態に係る装置を、実装基板に実装する状態を示した断面図。

【図13】図13はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図14】図14はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図15】図15はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図16】図16はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図17】図17はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図18】図18はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図19】図19はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図20】図20はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図21】図21はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図22】図22はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図23】図23はこの発明の第1の実施の形態に係る装置の一製造工程における断面図。

【図24】図24はこの発明の第2の実施の形態に係る

26

ポールグリッドアレイ型の半導体装置を示す図で、

(a)図は実装面から見た平面図、(b)図は(a)図中のb-b線に沿う断面図。

【図25】図25はこの発明の第2の実施の形態に係るポールグリッドアレイ型の半導体装置を、樹脂板から分離した状態を示す図で、(a)図はチップ搭載面から見た平面図、(b)図は(a)図からチップを取り除いたときの平面図。

【図26】図26はインデックスの形を示す図で、

10 (a)図は円弧状のインデックスを示す図、(b)図は孔状のインデックスを示す図。

【図27】図27は第1のテスタを概略的に示した断面図。

【図28】図28は第2のテスタを概略的に示した断面図。

【図29】図29は第3のテスタを概略的に示した断面図。

【図30】図30はこの発明の第3の実施の形態に係るポールグリッドアレイ型の半導体装置を、樹脂板から分離した状態を示す図で、(a)図はチップ搭載面から見た平面図、(b)図は(a)図からチップを取り除いたときの平面図。

【図31】図31はこの発明の第4の実施の形態に係るポールグリッドアレイ型の半導体装置の断面図。

【図32】図32は第1の樹脂板を示す斜視図。

【図33】図33は第2の樹脂板を示す斜視図。

【図34】図34は第3の樹脂板を示す斜視図。

【図35】図35は、従来のポールグリッドアレイ型の半導体装置の断面図。

【図36】図36は、Sn-Pb系合金の状態図。

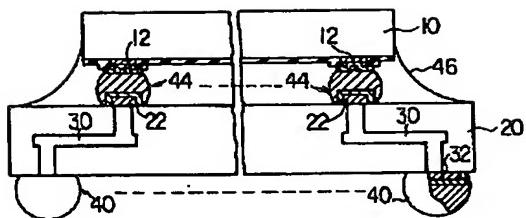
【図37】図37は、従来のポールグリッドアレイ型の半導体装置を、実装回路基板に実装する工程を示す断面図。

【符号の説明】

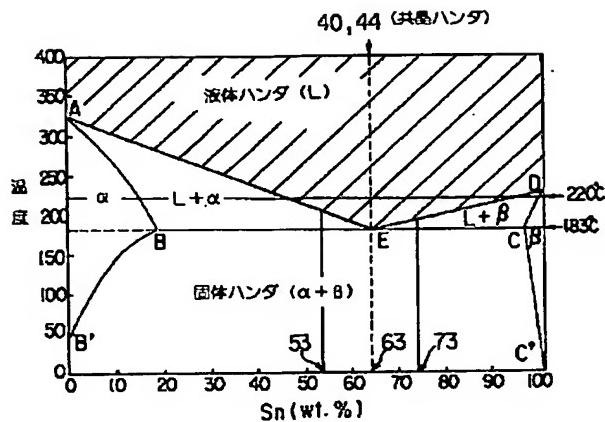
10…半導体集積回路チップ、12…パッド、14…シリコン酸化膜、16…バリアメタル層、18…ハンダバンプ、20…チップキャリア、22…チップ接続用パッド、26…バリアメタル層、28…ハンダバンプ、30…キャリア内配線層、32…実装回路基板接続用パッド、36…バリアメタル層、40…ハンダバンプ、44…導電性接続体、46…樹脂層、50…フラックスの層、60…樹脂板、62…切断用溝、64…ツーリングホール、66…インデックス、70…テスト用端子、72…テストジグ、74…挿入孔、75…載置孔、76…ソケット電極、77…プローブ、80-1、80-2…補強材、82-1、82-2…補強材、84-1、84-2…補強材、86-1、86-2…止め具、88…窓。

(15)

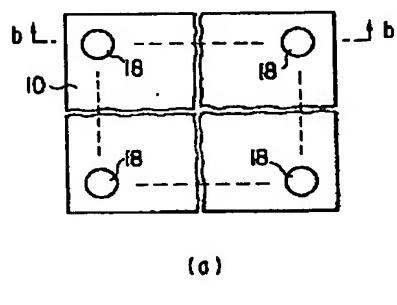
【図 1】



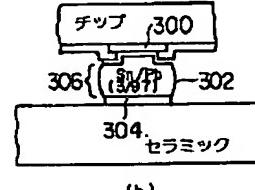
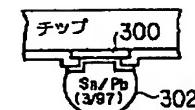
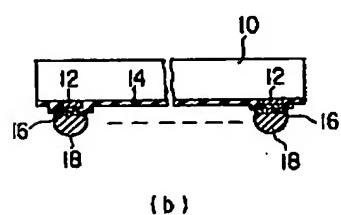
【図 2】



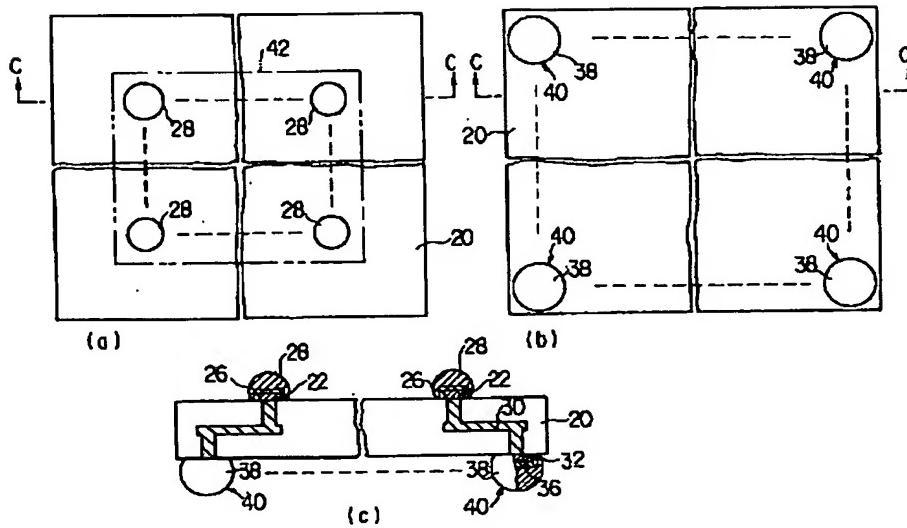
【図 3】



【図 5】

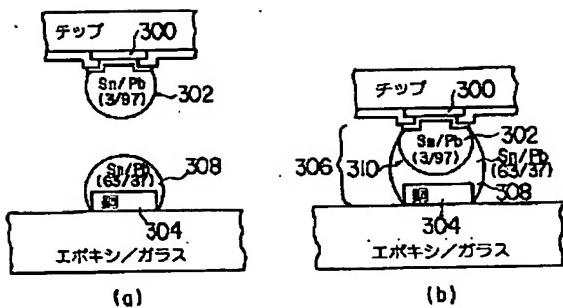


【図 4】

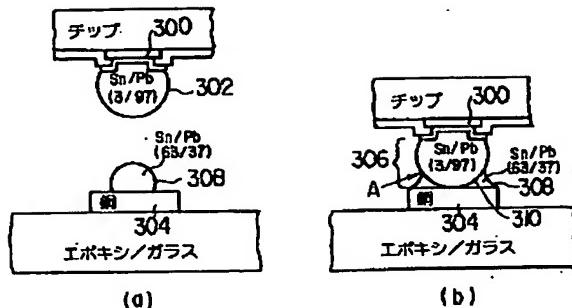


(16)

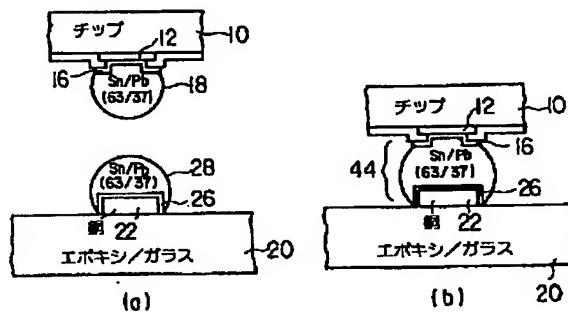
【図 6】



【図 7】



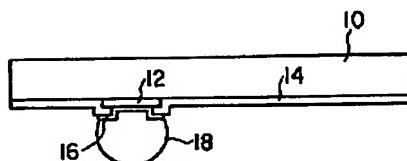
【図 8】



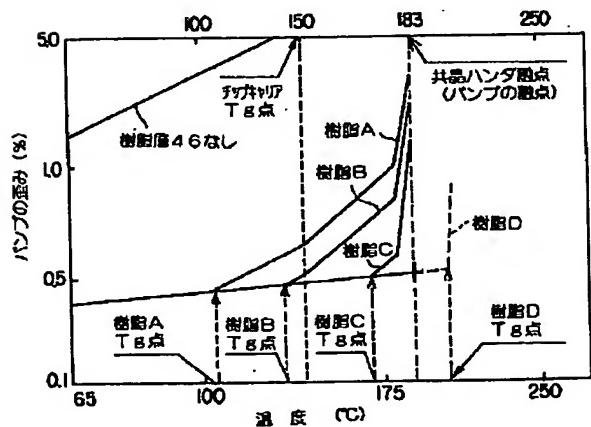
【図 9】

材 料	ヤング率E (MPa)	熱膨脹係数α (10 ⁻⁶ m/m°C)
樹脂 A	3479	74
樹脂 B	5867	41
樹脂 C	6050	36
樹脂 D	9408	23

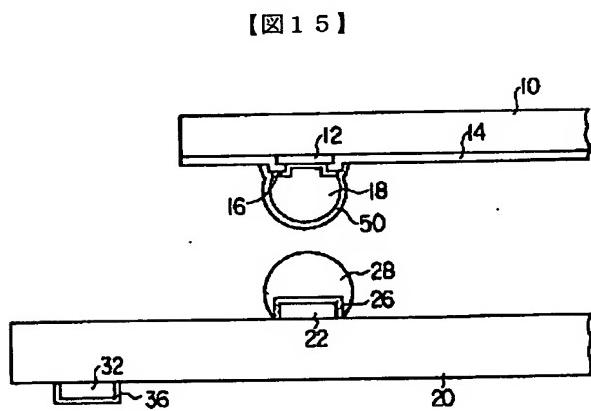
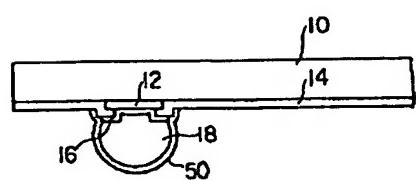
【図 13】



【図 10】

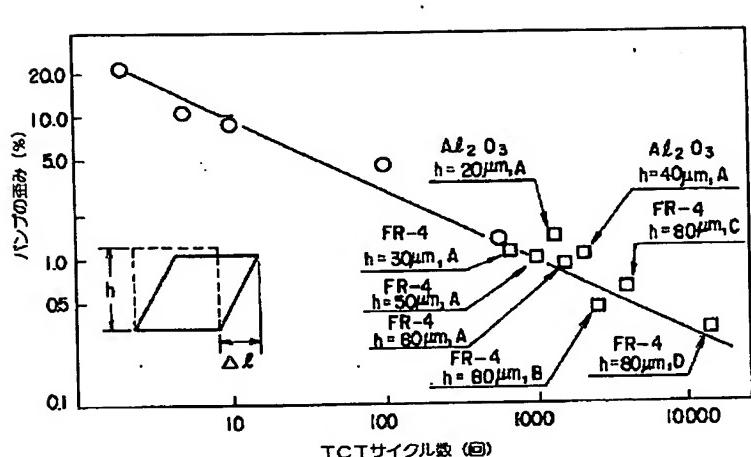


【図 14】

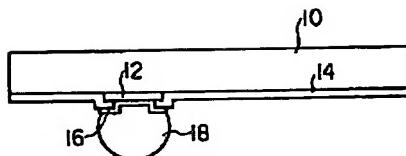


(17)

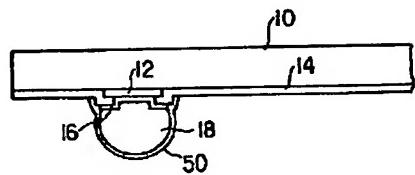
【図11】



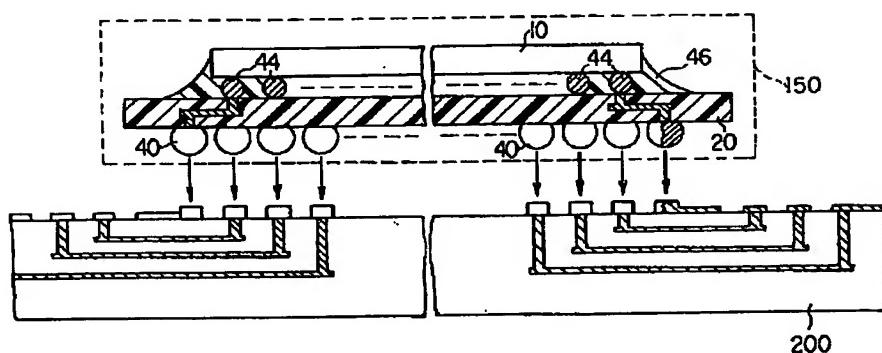
【図19】



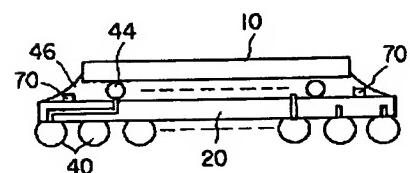
【図20】



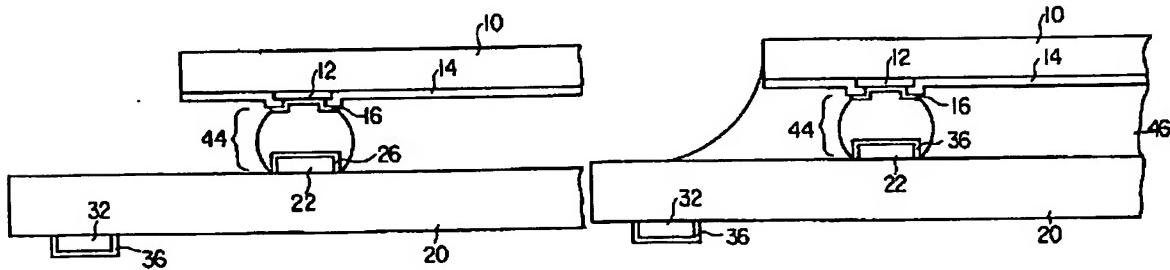
【図12】



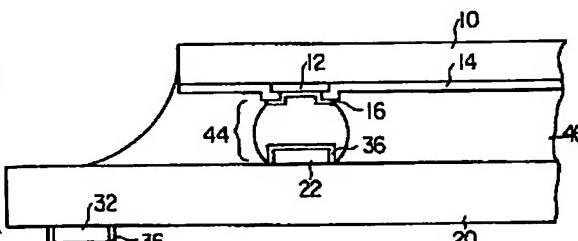
【図31】



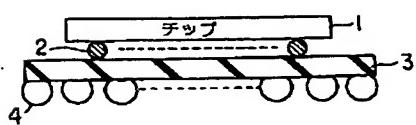
【図16】



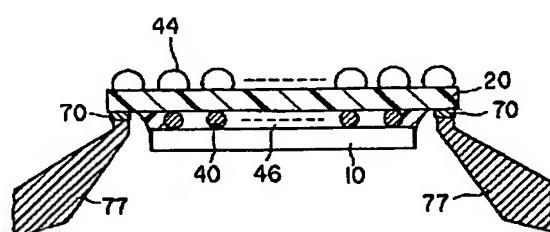
【図17】



【図35】

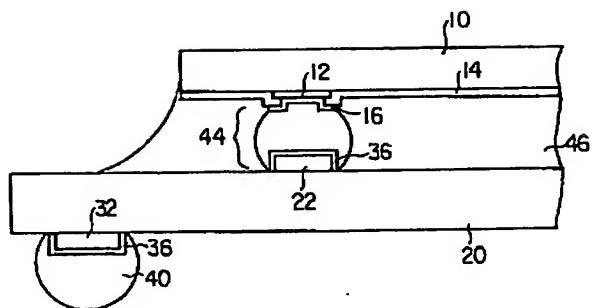


【図29】

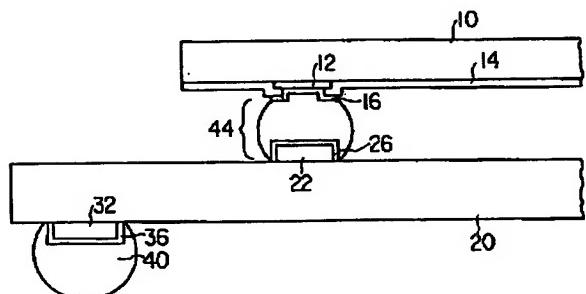


(18)

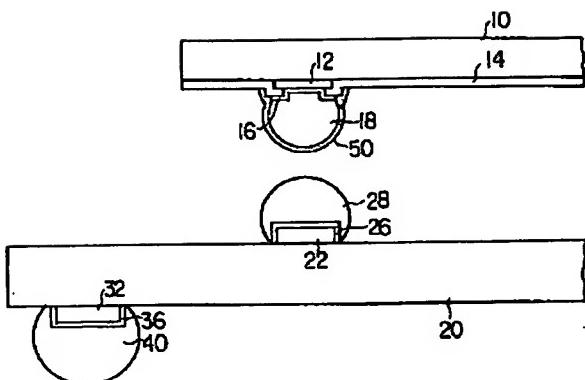
【図18】



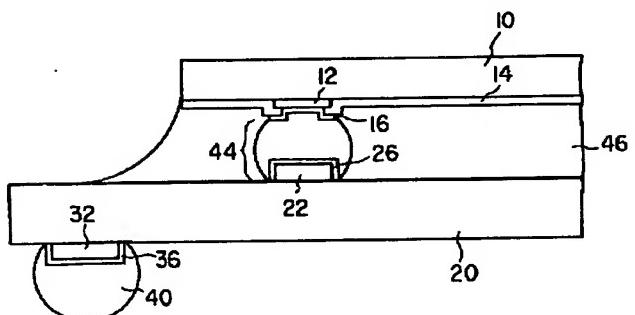
【図22】



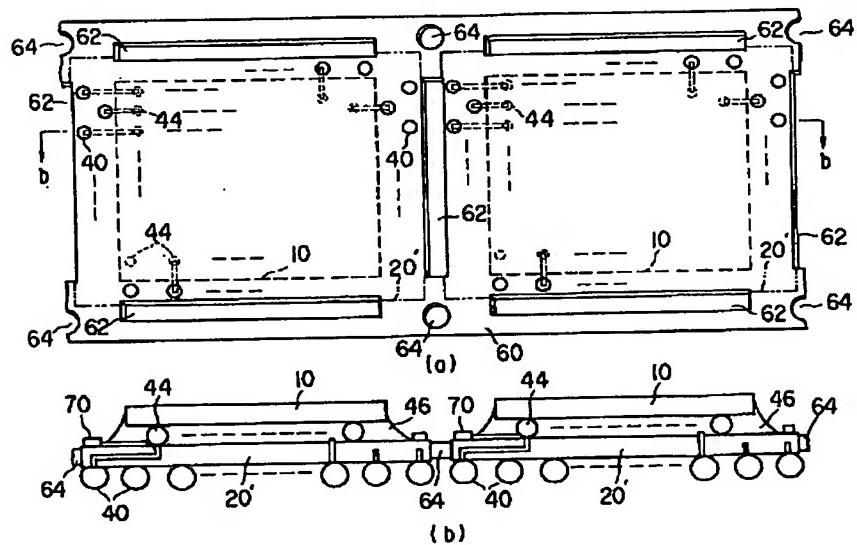
【図21】



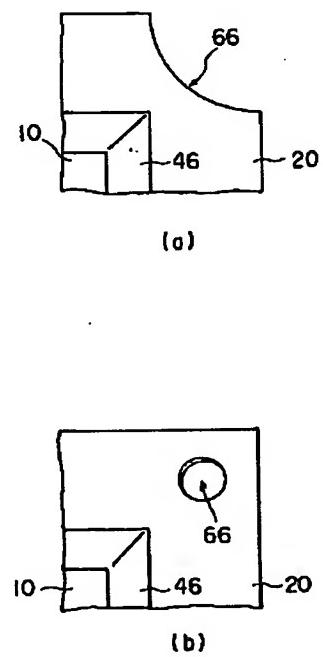
【図23】



【図24】

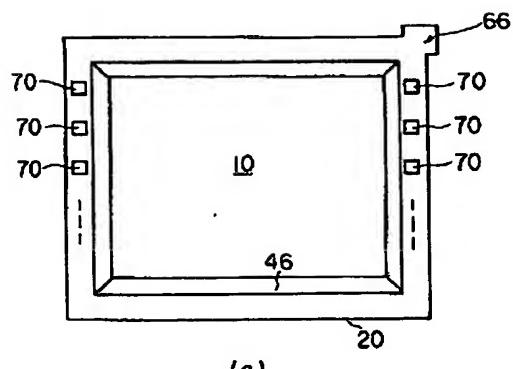


【図26】

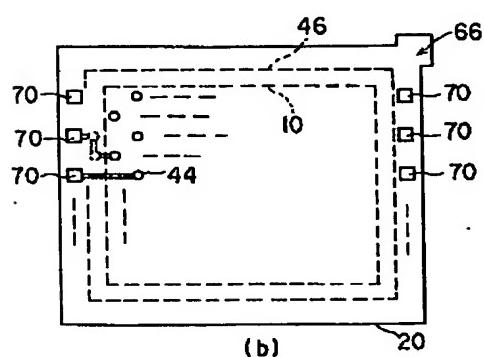


(19)

【図25】

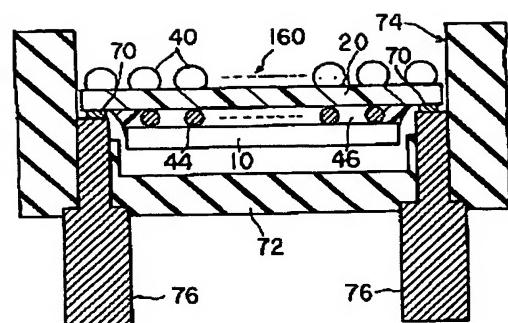


(a)

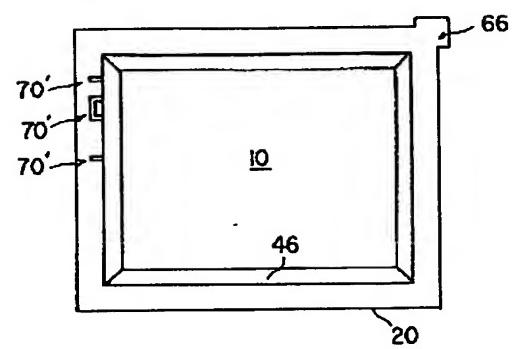


(b)

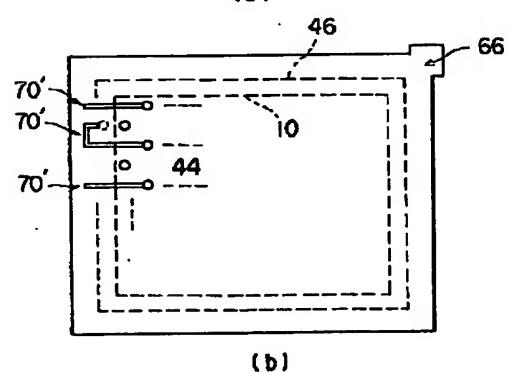
【図27】



【図30】

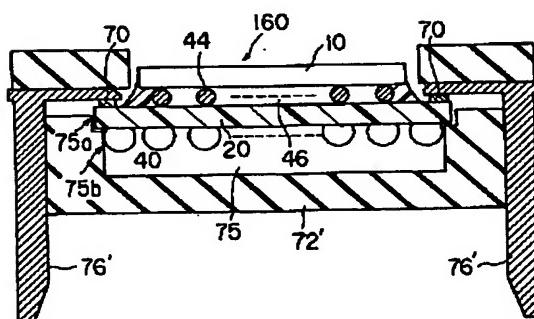


(a)

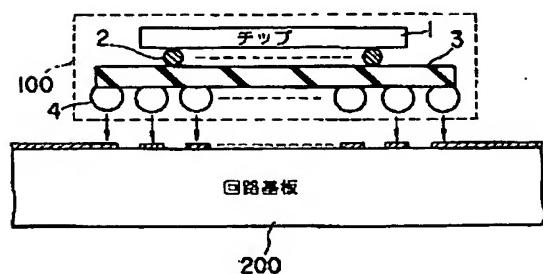


(b)

【図28】

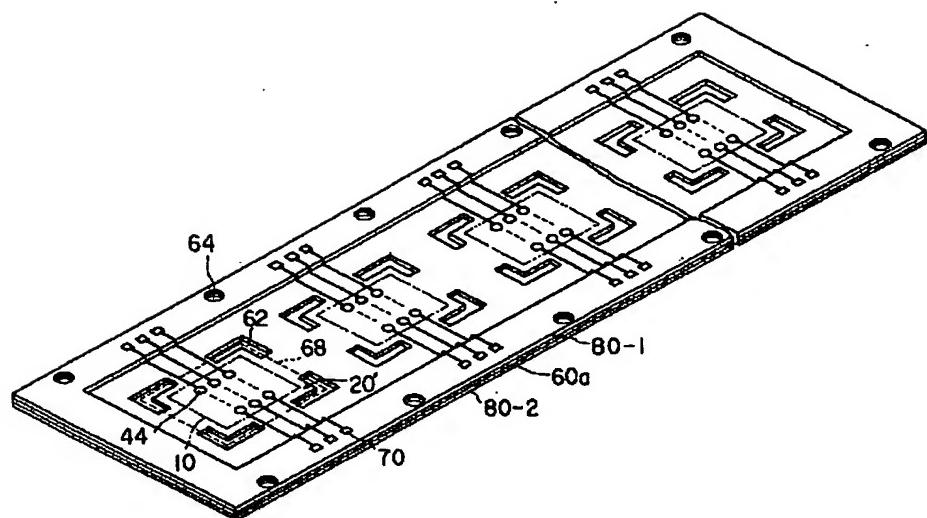


【図37】

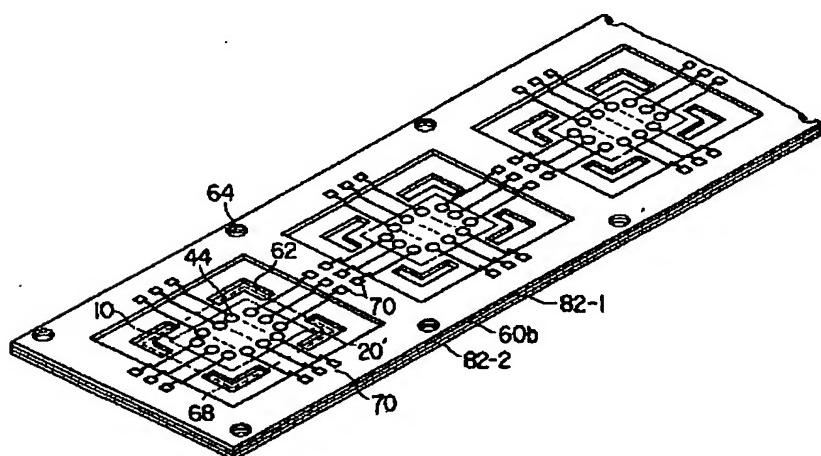


(20)

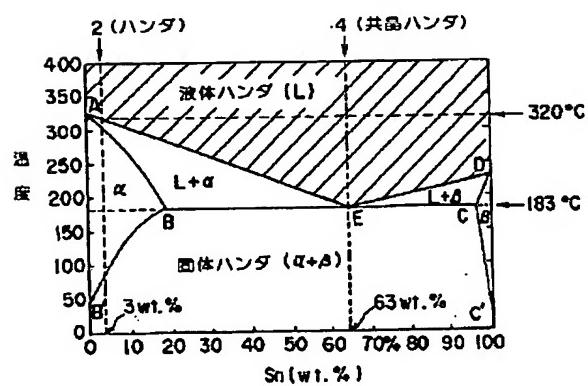
【図32】



【図33】



【図36】



(21)

【図34】

